

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-211849

(43)Date of publication of application : 20.08.1996

(51)Int.Cl. G09G 3/36
G09G 5/00
G09G 5/14

(21)Application number : 07-015863

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 02.02.1995

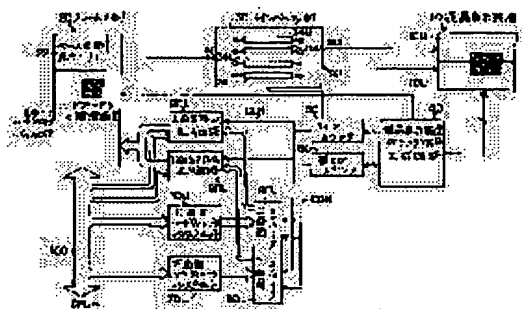
(72)Inventor : KATO SATOSHI

(54) DISPLAY CONTROL DEVICE

(57)Abstract:

PURPOSE: To display a hard window at the arbitrary position on the screen of a display device whose one screen is constituted of plural display panels.

CONSTITUTION: A line buffer part 30 is provided in between a frame memory 20 and a liquid crystal display device 10. The liquid crystal display device 10 is constituted of two liquid crystal panels for an upper screen and a lower screen 10U, 10L. The serial port of the frame memory 20 and input terminals of the liquid crystal panel for the upper screen 10U and the liquid crystal panel for the lower screen 10L are connected respectively to the input port 31 and respective output ports 36U, 36L of the line buffer part 30. Then, image data read out from the serial port of the frame memory 20 are successively stored in four line buffers 34U, 35U, 34L, 35L and image data stored in two line buffers are inputted to the liquid crystal display panels for the screens 10U and 10L respectively.



LEGAL STATUS

[Date of request for examination] 10.10.2001

[Date of sending the examiner's decision of rejection] 11.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention reads image data from an image memory (a frame memory or Video RAM), and relates to the display controller which performs control to which a picture is displayed on display.

[0002]

[Description of the Prior Art] In recent years, the need of the flat-panel display represented by the liquid crystal display etc. is growing quickly with the spread of a notebook computer or subnote PCs. Moreover, the research and development for thin shape-ization realizing the large-sized display of a flat TV or a wide screen are furthered briskly.

[0003] Drawing 37 is drawing explaining the general method of a screen display in a CRT display. The example shown in this drawing is drawing showing the example which performs a screen display by the scanning method of an interlace method.

[0004] a fluorescent substance applies on the display screen (screen) 100 of display — having — **** — the inside of drawing, A→B, C→D, and ... the picture is displayed on one point (pixel) of a phosphor screen one by one by the scanning line 101 shown by the arrow of I→J, making an electron beam irradiate tracing of an electron beam which moves from a certain scanning line 101 to the following scanning line 101 calls it the horizontal retrace line 102 (... arrow B→C [of a dashed line], D→E, H→I) — having — a stroke — move tracing of an electron beam until the display of a field is completed and it returns to the head of the next screen is called vertical retrace line 103 (arrow J→A of a fine dashed line)

[0005] Moreover, although the brightness of a pixel is modulated by modulating the intensity of the electron beam which irradiates a pixel in this display, this is performed by reading the image data (brightness data) stored in the frame memory 200.

[0006] Drawing 38 is the block diagram of a frame memory 200. A frame memory 200 is also called bit map memory, and has the indicative-data field 210 which has memorized the image data corresponding to each pixel of the display screen 100 by 1 to 1 correspondence. In drawing 38, the image data corresponding to the pixel A of the display screen 100 shown in drawing 37 is stored in address A' of this indicative-data field 210, and the image data corresponding to Pixel H is stored in address H' of this indicative-data field 210. And according to the scanning line 101 mentioned above, the image data for a display is read from this indicative-data field 210, and a picture is displayed on the display screen 100.

[0007] By the way, the "hard window" is known as one concept of the means of displaying of the window in an information processor. Drawing 39 and drawing 40 are drawings explaining the concept of this hard window 310, and the storing method within the frame memory 200.

[0008] The hard window 310 is a logic screen displayed as one window in the base screen 300 displayed on the display screen 100 whole as shown in drawing 39. As shown in a frame memory 200 at drawing 40, the image data of the above-mentioned base screen 300 and the image data of the above-mentioned hard window 310 are stored in the respectively separate fields 230 and 240. The contents of the hard window 310 are mapped by some base screens 300 (or whole) by hardware circuitry, and the picture of the display screen 100 is rewritten. That is, a picture can

be rewritten by mapping the hard window 310 on the base screen 300, without rewriting the contents (image data) of the base screen 300.

[0009] Next, the method of presentation of the hard window 310 is explained, referring to drawing 41 and drawing 42. In drawing 41, the hard window 310 is displayed on some base screens 300 of the display screen 100. moreover, this drawing — setting — the scanning line 101 — a→b, c→d, and ... it is shown by the arrow of w→x moreover, scanning-line 101' on which the hard window 310 is displayed especially — h→i, l→m, and ... t→u shows

[0010] Corresponding to the above-mentioned display screen 100, as shown in drawing 42, in the frame memory 200, the image data of the above-mentioned base screen 300 and the image data of the above-mentioned hard window 310 are stored in fields 230 and 240, respectively. moreover, the storing position of the image data of the base screen 300 read corresponding to the scanning line 101 shown in above-mentioned drawing 41 in drawing 42 — a→b, c→d, and ... it corresponds to the scanning line 101 of the arrow of w→x — making — a'→b', c'→d', and ... the arrow of w'→x' shows moreover, h→j, l→m, and ... the storing position of the image data of the hard window 310 read corresponding to scanning-line 101' of t→u is corresponded to those scanning-line 101' — making — h'→j', l'→m', and ... the arrow of t'→u' shows

[0011] That is, on the occasion of the display of the display screen 100 shown in drawing 41, read-out of the image data from a frame memory 200 is performed in order of a'→b', c'→d', and e'→f' from a field 230 at first corresponding to the scan of a display of the base screen 300. And in the place which progressed even to g'→h', since it shifts to read-out of the image data of the hard window 310, the read-out position of image data moves to a field 240. That is, in g→j, k→n, o→r, and the scanning line 101 of s→v, image data is read from h'→i' of a field 240, l'→m', p'→q', and l'→n'. And in the scanning line of w→k, read-out of image data is again started from the storing region 230 of the image data of the base screen 300 (w'→x').

[0012] Thus, in an actual screen, logic screen where the base screen 300 is another can be displayed on a part of whole display screen (or all) as a hard window 300.

[0013]

[Problem(s) to be Solved by the Invention] However, the method of presentation of a hard window which was mentioned above had the problem of being inapplicable in the liquid crystal display of the large-sized screen used as a display of an information processor.

[0014] This reason is explained below. Drawing 43 is drawing showing the composition of the frame memory corresponding to the composition of the liquid crystal display generally used as a display of an information processor now, and this.

[0015] since the manufacture yield for large-sized screens is still low, a liquid crystal display panel is shown in this drawing — as — two panels (liquid crystal display panel), the object for upper screens, and the object for lower screens, 310 and 320 — a stroke — the display panel 300 of a field is constituted Moreover, corresponding to this panel composition, frame memories 410 and 420 are formed in each of each above-mentioned panels 310 and 320 corresponding to 1 to 1. It consists of a dual port RAM and such memory 410 and 420 is outputted to the panels 310 and 320 by which the image data drawn by each memory 410 and 420 corresponds from those serial ports.

[0016] Thus, since the frame memory is completely divided into the object for upper screens, and lower screens, the panel 310 for top screens can display only the contents of the frame memory 410 for upper screens, but the panel 320 for lower screens has become the structure which can display only the contents of the frame memory 420 for lower screens.

[0017] The internal configuration of the frame memories 410 and 420 for the object for above top screens and lower screens is shown in the left-hand side of drawing 44. In this drawing, the field a, of the frame memory 410 for upper screens is a drawing region of the image data of the base screen of the upper screen panel 310, and the field b of the frame memory 420 for lower screens is a drawing region of the image data of the base screen of the lower screen panel 320. Moreover, the field c of a frame memory 410 is used for drawing regions, such as a window stuck on the base screen of an upper screen, etc. Similarly, the field d of a frame memory 420 is used for drawing regions, such as a window stuck on the base screen of a lower screen.

[0018] Therefore, the display of the base screen of the liquid crystal display panel 300 is

performed by reading image data from the field a of the frame memory 410 for upper screens, and the field b of the frame memory 420 for lower screens. Although the physical memory map of frame memories 410 and 420 is shown in the left-hand side of drawing 44, now, access to the frame memories 410 and 420 at the time of CPU displaying a screen on a liquid crystal display 300 will become very bad in efficiency, and it reduces the throughput of CPU. for this reason, ATB (Address Transfer Buffer) which is not illustrated between CPU, a frame memory 410, and 420 MMU (Memory Management Unit) etc. — the mechanism (hardware) in which the logical address is changed into a physical address is established, and it enables it to access these [from which CPU is separated physically] two frame memories 410 and 420 by the continuous logical address space (logical room) 500 shown in the right-hand side of drawing 44 Address space a', b', c', and d' correspond to the fields a, b, c, and d of frame memories 410 and 420, respectively. Thereby, CPU can access continuously the field a of a frame memory 410, and the field b of a frame memory 410 at high speed efficiently by accessing logical address a' and b'.

[0019] Next, the case where a hard window is displayed on the above by the system using the address translator [like] is considered. Drawing 45 is an example in the case of displaying the hard window h on the panel 310 of an upper screen, and the image data of a hard window is drawn by a part of field c of the frame memory 410 for upper screens in this case. In this example, as shown in this drawing bottom, the image data of the hard window h will be read from the field c of the frame memory 410 for upper screens, and will be inputted into the panel 310 of an upper screen. And the hard window h is displayed on the panel 310 of this upper screen. Therefore, the display of the hard window h is possible in this case.

[0020] Next, although drawing 46 is an example in the case of displaying the hard window h on the panel 310 of an upper screen like the above, the image data of the hard window h is stored in the field d of the frame memory 410 for lower screens as shown in this drawing bottom. As mentioned above, the image data output from this frame memory 410 is possible only to the panel 320 of a lower screen, and the output to the panel 310 of an upper screen as shown in this drawing bottom with the dashed line is impossible. Therefore, the display of the hard window h will be impossible in this case.

[0021] It is impossible similarly to display the picture of the hard window h drawn by the panel 320 of a lower screen to the field c of the frame memory 410 for upper screens. Moreover, it is also impossible to make the panels 310 and 320 of the upper bottom straddle, and to display a hard window.

[0022] Thus, in the liquid crystal display 300 of composition of displaying one screen by the panel made into the bottom upwards 2 ****s, the display of a hard window was completely unrealizable conventionally.

[0023] The technical problem of this invention is enabling it to realize the display of a hard window completely in the liquid crystal display which consists of the display panel halved in the bottom upwards.

[0024]

[The means for solving invention] this invention is premised on the display controller which displays a hard window on the screen of the display with which one screen is constituted by two or more display panels. And it has each following means.

[0025] A frame memory stores the image data of a base screen, and the image data of a hard window. Two or more line buffers are corresponded and prepared in each display panel, and the image data of the aforementioned base screen read from this frame memory or the aforementioned hard window is stored in each line buffer.

[0026] Control means make the image data stored in two or more aforementioned line buffers according to the above-mentioned scanning sequence input into the display panel concerned while they read the image data concerned of the aforementioned base screen or the aforementioned hard window from the aforementioned frame memory and make this image data input into the line buffer concerned according to the scanning sequential on the screen of the aforementioned display.

[0027] In the above-mentioned composition, the two aforementioned line buffers are prepared at a time for every display panel, and the aforementioned control means are good also as

composition which uses the line buffer of these two individuals for the image data to the object for read-out and the liquid crystal display panel concerned of image data from the aforementioned frame memory, switching to an output by turns.

[0028] Moreover, the aforementioned display panel is for example, a liquid crystal display panel.
[0029]

[Function] The image data displayed on the screen of the aforementioned display is written in a frame memory in each frame unit by CPU etc. The thing for base screens and the thing for hard windows are contained in this image data.

[0030] Control means make the image data stored in two or more aforementioned line buffers according to the above-mentioned scanning sequence input into the display panel concerned while they read the image data concerned of the aforementioned base screen in a certain frame, or the aforementioned hard window from the aforementioned frame memory and make this image data input into the line buffer concerned according to the scanning sequence on the screen of the aforementioned display.

[0031] Therefore, it becomes possible by constituting these control means by hardware to display the hard window of a position on the arbitration in the base screen displayed on the screen of the display with which one screen is constituted by two or more aforementioned display panels at high speed.

[0032]

[Example] Hereafter, the example of this invention is explained, referring to a drawing. Drawing 1 is the block diagram showing the circuitry of the liquid crystal display control unit of one example of this invention.

[0033] The liquid crystal display 10 constitutes the one display screen (screen) by two liquid crystal display panels 10U and 10L, and the level drive circuit and vertical-drive circuit for carrying out the display drive of these liquid crystal display panels 10U and 10L are prepared around it. In addition, 1st liquid crystal display panel (upper screen liquid crystal display panel) 10U displays the picture of the upper screen of the whole screen, and 2nd liquid crystal display panel (lower screen liquid crystal display panel) 10L displays the picture of the lower screen of the whole screen. The number of scan lines of these two liquid crystal display panels 10U and 10L is equal.

[0034] A frame memory 20 consists of a dual port memory, and the serial port output a is connected to the input terminal 31 of the line buffer section 30 mentioned later. The frame memory 20 consists of the base screen-display area 22 which stores the image data of the base screen displayed on the whole screen of a liquid crystal display 10, and the hard window buffer area 24 which stores the image data of the logic screen of the hard window displayed on this base screen. Generally, the image data of the logic screen concerned is read those with two or more, and if needed, and a logic screen is displayed on the liquid crystal display prosecution 10.

[0035] The line buffer section 30 has two line memory [a total of four] of the 1st and 2nd line buffers 34L and 35L for lower screens (below) in which two line buffers 34U and 35U for upper screens (above) in which the image data for 1 line (1 scanning line) of an above top screen is stored, the 1st and the 2nd, and the image data for 1 line (1 scanning line) of the bottom screen of the above are stored. These line buffers 34U, 34L, and 35L are FIFO (FIFO : First In First Out). It is memory. One input port 31 and two output ports 36U and 36L are formed in the line buffer section 30, and the image data outputted from the serial port of a frame memory 20 is inputted into this input port 31. Moreover, the image data from output port 36 for lower screens L to lower screen liquid crystal display panel 10L is outputted for the image data from output port 36 for upper screens U to upper screen liquid crystal display panel 10U.

[0036] two input terminals of the 1st and 2nd line buffers 34U and 35U for upper screens — the after-mentioned — it connects with the serial port of a frame memory 20 by turns to the timing explained in detail the same — two input terminals of the 1st and 2nd line buffers 34L and 35L for lower screens — the after-mentioned — it connects with the serial port of a frame memory 20 by turns to the timing explained in detail moreover, the output terminal of two line buffers 34U and 35U for upper screens — the after-mentioned — it connects with output port 36U for upper screen liquid crystal display panel 10U by turns to the timing explained in detail Similarly,

the output terminal two line buffer 34L for lower screens and for 35L is also connected to output port 36L for lower screen liquid crystal display panel 10L by turns to the after-mentioned and the timing explained in detail. These connection changes are performed through the demultiplexer which is not illustrated [for example,].

[0037] Drawing 2 is drawing showing the example of 1 composition of the line buffer section 30. The 1st demultiplexer 32 inputs the image data outputted from the serial port of a frame memory 20 from the input terminal I (input port 31). Moreover, the current number CLN is inputted into the selection signal input terminal S from the line counter 50 later mentioned as a kind of selection signal. This current number CLN shows whether it is what the image data currently outputted from the serial port of a frame memory 20 is displayed on which scan line of the screen displayed on a liquid crystal display 10 as now so that it may mention later. And according to the value of this current number CLN, the image data inputted into the above-mentioned input terminal I is outputted from any one of the four output terminals Yu1, Yu2, YI1, or YI2. These output terminals Yu1, Yu2, YI1, and YI2 are connected to the input port of 1st line buffer 34 for upper screens U, 2nd line buffer 35 for upper screens U, 1st line buffer 34 for lower screens L, and 2nd line buffer 35L for lower screens, respectively.

[0038] The function of this 1st demultiplexer 32 is as follows.

** Output input image data to 1st line buffer 34U for upper screens from an output terminal Yu1 at the time of $CLN=2n$ ($n=0, 1, 2 \dots \max 1$). In addition, $\max 1$ They are one half of the values of the number of lines of an upper screen (however, the number of lines of an upper screen shall be made into even lines, and shall begin from the 0th line).

** Output input image data to 2nd line buffer 35U for upper screens from an output terminal Yu2 at the time of $CLN=2n+1$.

** Output input image data to 1st line buffer 34L for lower screens from an output terminal YI1 at the time of $CLN=2m$ ($m=S, S+1, \dots e$). However, S is one half of the values of the head line of a lower screen, and e is one half of the values of the (last line -1) of a lower screen. Let the number of lines of a lower screen be even number also in this case.

** At the time of $CLN=2m+1$, it is wanted from an output terminal YI2 to output input image data to 2nd line buffer 35L for lower screens, and the image data of the 0th line of an upper screen is stored in 1st line buffer 34U for upper screens. Moreover, the image data of the 1st line of an upper screen is stored in 2nd line buffer 35U for upper screens. Henceforth, the image data after the 2nd line of an upper screen is similarly stored in 1st line buffer 34U for upper screens, and 2nd line buffer 35U for upper screens by turns.

[0039] Moreover, the 2nd m image data of a line (the 0th line of a lower screen) is stored in 1st line buffer 34L for lower screens. Moreover, the image data of a $2m+1$ line (the 2nd line of a lower screen) is stored in 2nd line buffer 35L for lower screens. Henceforth, the image data after the 2nd line of a lower screen is similarly stored in 1st line buffer 34L for lower screens, and 2nd line buffer 35L for lower screens by turns.

[0040] Moreover, the 2nd demultiplexer 33 has four input terminals IU1, IU2, IL1, and IL2 connected to the output port of the 1st and the 2nd line buffer 34U and 35U for upper screens, the 1st, and 2nd line buffers 34L and 35L for lower screens, respectively. And the image data into which the image data which inputs the current line number CLN outputted to the selection signal input terminal S from the aforementioned line counter 50, and is inputted into the above-mentioned input terminals IU1 or IU2 according to this current line number CLN is inputted by the above-mentioned input terminals IL1 or IL2 to liquid crystal display panel 10U for upper screens is outputted to liquid crystal display panel 10L for lower screens.

[0041] It is as follows if the function of this 2nd demultiplexer 33 is summarized.

An output terminal Yu (output port 36 for upper screens U) is minded for the image data stored in 1st picture buffer 34U for upper screens inputted from an input terminal IU1 at the time of $CLN=2n+1$ or $2m+1$. ** To liquid crystal display panel 10U for upper screens It outputs to liquid crystal display panel 10L for screens which carried out the image data stored in 1st picture buffer 34L for lower screens inputted from an input terminal IL 1 through the output terminal YL (output port 36 for lower screens L).

** It is an output terminal Yu about the image data stored in 2nd picture buffer 35U for upper

screens inputted from an input terminal IU2 at the time of $CLN=2n$ or $2m$. The image data stored in 2nd picture BAFFU 35L for lower screens which is inputted into liquid crystal display panel 10U for upper screens from an input terminal IL 2 is outputted to liquid crystal display panel 10L for lower screens.

[0042] Thereby, from the line buffer section 30, the image data of the same line of an upper screen and a lower screen is simultaneously inputted into display-panel 10U for upper screens, and display-panel 10L for lower screens, respectively.

[0043] The liquid crystal display timing signal generation circuit 40 is a sequencer which generates the timing signal for generating the timing of the whole system shown in drawing 1 of operation, and creates and outputs various timing signals from the reference clock generated by non-illustrated built-in or the external crystal oscillator.

[0044] There is the following in these timing signals.

**** The signal outputted to a liquid crystal display 10**

CL1 ... Signal which determines the timing which writes the indicative data for I lines read into the shift register formed in the liquid crystal display 10 interior in a liquid crystal screen. In which line it is written specifies by the line selector. Moreover, after this writing is completed, the line which the content of a line selector is incremented and is written in a degree is made to specify.

[0045] In addition, the above-mentioned line selector is prepared in the interior of a liquid crystal display 10.

CL2 ... Timing signal which writes at a time 1 bit of indicative datas sent from the aforementioned line buffer section 30 in the aforementioned shift register. The indicative data stored in the shift register when data were written in will be sent to passing <a thing> on at the register of each latter part, if the serial input of every 1 bit of the new indicative datas is carried out. (The number of stages of a shift register is equal to the number of dots of the longitudinal direction of a liquid crystal display, and it is possible to read the data for one line of a liquid crystal display with all shift registers.)

FLM ... If CL1 is outputted while being called a first line marker and outputting this signal, a line selector will be reset and will come to point out the 1st line (namely, line on No. 1) of a liquid crystal display.

**** The signal outputted to a frame memory 20**

RAS (line address strike rope signal) ... Signal for making a frame memory 20 incorporate the line address signal on an address bus.

CAS (column address strobe signal) ... Signal for making a frame memory 20 incorporate the train address signal on an address bus.

DT/OE ... Signal which performs data output control of the random port of the frame memory 20 which is dual port memory, and data transfer control between the data register in the frame memory 20 interior, and a memory cell.

SC ... Clock signal for carrying out the serial input/output of the data through a serial port from close and the data buffer for an output of the serial data of the frame memory 20 interior (it serves as a frame memory serial read-out clock).

**** The signal outputted to a line counter 50**

The signal (1st increment signal) to which the increment of the content of a line counter 50 is carried out, and the signal made to reset (the 1st reset signal). These signals are the same signals as Above CL1 and FLM, respectively.

**** The signal outputted to the horizontal dot counter 60**

The signal (2nd increment signal) to which the increment of the content of the horizontal dot counter 60 is carried out, and the signal made to reset (the 2nd reset signal).

[0046] this — the 2nd increment signal is the signal as the above CL 1 with same above CL 2 and this 2nd reset signal A line counter 50 is a counter which carries out counting of the scan line position CLN on the display screen of the liquid crystal display 10 of the power image data read from a frame memory 20, and whenever the increment signal of the above 1st is added from the above-mentioned timing signal generation circuit 40, it is carried out "1" increment.

Moreover, it will be reset by "0" if the 1st reset signal FLM of the above is added from the above-mentioned timing signal generation circuit 40.

[0047] The horizontal dot counter 60 is a counter which carries out counting of the present display dot position at the time of each raster scan of a liquid crystal display 10 (display pixel position), and whenever the increment signal of the above 1st is added from the above-mentioned timing signal generation, it is carried out "1" increment. Moreover, it will be reset by "0" if reset-signal CL1 of the above 2nd is added from the above-mentioned timing signal generation circuit 40.

[0048] Upper screen hard window register-set 70U consists of the hard window start line register RSL, the hard window end register REL, the hard window start horizontal dot (dot) register RSD, and the hard window end horizontal dot (dot) register RED, as shown in drawing 3.

[0049] Hard window start line register RSL ... Register with which the raster scan position of the head line of the hard window displayed on a top screen is stored.

Hard window end line register REL ... Register which stores the raster scan position of the last line of the hard window displayed on a up screen.

Hard window start horizontal dot register RSD ... Register which stores the first pixel position in each raster scan of the above-mentioned hard window.

Hard window end horizontal dot register RED ... Register which stores the first pixel position in each raster scan of the above-mentioned hard window.

Lower screen hard window register-set 70L also has the same composition as above top screen hard window register 70U, and it differs in that the value set as each register is a value about the hard window of a lower screen.

[0050] Both above top screen hard window register set 70U and lower screen hard window register set 70D are connected with the bus 100 of non-illustrated CPU, and the set of the data to each register in a these top and bottom screen register set 70U, and 70D is performed by this CPU.

[0051] Upper screen comparator 80U inputs the signal (current one and horizontal dot number) CDN which shows the present display pixel position for the signal (current line number) which shows the present raster scan increment from a line counter 50 from the horizontal dot counter 60. Moreover, each register value is inputted from upper screen hard window register-set 70U. And read-out of the image data of this hard window is ended from the 1st hard window starting address output enabling signal which directs the power start timing which reads the image data of the hard window which should be displayed on an upper screen from a frame memory 20 from these signals and a register value, and a frame memory 20, and the 1st base screen revival address output enabling signal BOE which directs the power start timing which reads the image data of the upper screen of a base screen again is outputted to upper screen address-generation circuit 90U.

[0052] Lower screen comparator 80L inputs the signal which shows the present display pixel position (current one and horizontal dot number) for the signal which shows the present raster scan position (current line number) from a line counter 50 from the horizontal dot counter 60 like above top screen comparator 80U. Moreover, each register value is inputted from lower screen hard window register-set 70D. And read-out of the image data of this hard window is ended from the 2nd hard window starting address output enabling signal which directs the power start timing which reads the image data of the hard window which should be displayed on a lower screen from a frame memory 20 from these signals and each register value, and a frame memory 20, and the 2nd base screen revival address output enabling signal which directs the power start timing which reads the image data of the lower screen of a base screen again is outputted to lower screen address-generation circuit 90D.

[0053] Drawing 4 is the block diagram showing the example of 1 composition of upper screen comparator 80U and lower screen comparator 80L. The line number comparator 801 inputs the data set to the current number CLN, the hard window start line register RSL, and the hard window end line register REL which are outputted from the aforementioned line counter 50. And the value VAL CLN of this current line number CLN makes active the period (period of VAL RSL<=VAL CLN<=VAL REL) and dot (dot) comparator output enabling signal which are within the limits of the value VAL RSL set as this register RSL, and the value VAL REL of this register

REL, and outputs to the 1st dot comparator 803 and the 2nd dot comparator 805.

[0054] The 1st dot comparator 803 inputs the set point of the current horizontal dot number CDN outputted from the aforementioned horizontal dot counter 60 in addition to the above-mentioned dot comparator output enabling signal, and the hard window start horizontal dot register RSD. And the value of this current horizontal dot number CDN is compared with the value VAL RSD of the hard window start horizontal dot register RSD, and during the period when the above-mentioned dot comparator output enabling signal is active, when the two above-mentioned values become equal, the aforementioned hard window starting address enabling signal is outputted. This signal is a signal which directs the timing which changes read-out of the image data from a frame memory 20 from the image data of a base screen to the image data of the logic screen of a hard window.

[0055] The 2nd dot comparator 805 inputs the set point of the current horizontal dot number CDN outputted from the horizontal dot counter 60 in addition to the above-mentioned dot comparator output enabling signal, and the hard window end horizontal dot register RED. And as compared with the value VAL RED of this current horizontal dot number CDN and the hard window end horizontal dot register RED, during the period when the above-mentioned dot comparator output enabling signal is active, when above-mentioned both value becomes equal, a base screen revival address output enabling signal is outputted. This signal is a signal which directs the timing which changes read-out of the image data from a frame memory 20 to the image data from the image data of the logic screen of a hard window to a base screen.

[0056] Drawing 5 is the block diagram showing the example of 1 composition of upper screen address-generation circuit 90U. The address of the pixel of the head of the logic screen displayed on the upper screen of the liquid crystal display 10 with which the logic screen start address register RLPS is stored in the hard window buffer area 24 of a frame memory 20 as a hard window is set up.

[0057] While the current line number CLN is inputted from the aforementioned line counter 50, as for the base screen Top address-generation circuit 901, a base screen starting address output enabling signal is inputted from above top screen comparator 80U. And when this base screen output enabling signal is active, the address of the pixel of the head on the scanning line specified by the above-mentioned current line number CLN of the base screen displayed on the upper screen of the liquid crystal display 10 stored in the base screen-display area 22 in a frame memory 20 is generated, and it outputs to a frame memory 20.

[0058] The hard line start line register M is a register with which the scan line of the head of the hard window displayed on the upper screen of a liquid crystal display 10 is set up. Whenever the aforementioned hard window starting address output enabling signal becomes active, based on the address set as the logic screen start address register RLPS, the current line number CLN, and the line information set as the hard line start line register M, the hard window Top address-generation circuit 902 generates the start address of each line of the logic screen of a hard window, and also outputs eye a frame to ** 20.

[0059] A hard window end horizontal dot register (beta-1) is a register with which the horizontal dot position of the last pixel of the hard window displayed on the upper screen of a liquid crystal display 10 is set up.

[0060] When a base screen revival address output enabling signal becomes active, the base screen revival address-generation circuit 903 Based on the current line number CLN and the horizontal dot positional information of the last pixel of the above-mentioned hard window set as the hard window end horizontal dot register (beta-1) The address in the base screen-display area 22 of the frame memory 20 in which the pixel of the base screen displayed following the last pixel of this hard window in each scan line as which a hard window is displayed on an above top screen is stored is generated, and it outputs to a frame memory 20. moreover, especially in drawing 4 , although not illustrated, the output of the storing address in the base screen-display area 22 of the head pixel of each line of a base screen should be in an upper screen address generation — the base screen starting address output enabling signal directed to 90U is also generated

[0061] Lower screen address-generation circuit 90L also has the same composition as above

top screen address-generation circuit 90L, and only the values set as the logic screen start address register RLPS and the hard window start line register M differ.

[0062] Next, operation of the example of the above-mentioned composition is explained. Drawing 6 and drawing 7 are drawings showing the storing method of the indicative data (image data) of the hard window within the hard window buffer area 24 of the frame memory 20 corresponding to the various display gestalten and this display gestalt of a hard window.

[0063] Drawing 6 is drawing showing the example as which two hard windows 201U and 201L are separately displayed on upper screen liquid crystal panel 10U of a liquid crystal display 10, and lower screen liquid crystal display panel 10L, respectively. That is, in this case, two hard windows 201U and 201L are separated and displayed on an upper screen and a lower screen. In this case, a parameter required in order to display hard window 201U displayed on an upper screen on upper screen liquid crystal display panel 10U is following four.

[0064] ** a top — a hard window start line ** bottom hard window end line ** top — a parameter required in order to display hard window 201L displayed on a hard window start horizontal dot address ** bottom hard window end horizontal dot address and a lower screen on liquid crystal panel 10L for lower screens is following four

[0065] ** the bottom — the hard window start line ** bottom hard window end line ** bottom — a hard window start horizontal dot address ** bottom hard window end horizontal dot address and drawing 6 (b) The address information of the frame memory 20 which is needed in order to realize a hard window display as shown is following two.

[0066] a. The storing starting address b. above-mentioned hard window of the indicative data of the logic screen of the bottom hard window stored in the hard window buffer area 24 of a frame memory 20 The storing starting address, next drawing 7 of an indicative data of the bottom hard window stored in the U buffer area 24 [of a logic screen] It is drawing showing the example displayed as one screen where one hard window followed upper screen liquid crystal panel 10U ranging over ** 10L in lower screen *****.

[0067] Also in this case, the parameter of the above-mentioned ** and a.b. is needed. However, in this case, the value of the parameter of the above-mentioned ** and ** is in agreement. Drawing 8 is drawing showing the concrete example of 1 composition of the frame memory 20 used by future explanation. This frame memory 20 is this drawing (a). Breadth has 1024-dot composition so that it may be shown. And the base screen-display area 22 of the capacity of 640 dot x480 line is established in the head. moreover, to the hard window buffer area 24 of a frame memory 20 This drawing (b) In lengthwise, as shown on an upper screen to the 239th line (the last line), from the Mth line It is displayed on the Nth line from the 0th line (the first line) on a lower screen. Moreover, the image data of the logic screen of the hard window of the shape of a rectangle displayed on a dot eye from alpha dot in a longitudinal direction (beta-1) is stored (in addition, it is assumed that it is $M < N$, $\alpha < 320$, and $\beta > 320$, and the number of M is even here). This image data is the address U of a frame memory 20 to this drawing (b) in the above-mentioned hard window buffer area 24. In the same image as the shown screen image, bit mapping is carried out and it is stored. Therefore, this drawing (a) The start address of the logic screen of the upper screen of a hard window turns into Address U on a frame memory 20, and the start address of the logic screen of a lower screen turns into the address $[U + (240 - M) \times 1024]$ on a frame memory 20 so that it may be shown. The line difference of the head line of the logic screen of the upper screen of a hard window and a lower screen is (240-M), and this is because the difference of the address for one line is the same 1024 bits as the width of face beside a frame memory.

[0068] Next, display-control operation of this example is explained using the model shown in above-mentioned drawing 8 . Drawing 9 shows a state in case the image data of the 0th line (a liquid crystal display 10 top the 0th line of an upper screen) of the first frame (the 1st frame) displayed on a liquid crystal display 10 is read from a frame memory 20. Moreover, drawing 10 is a timing chart explaining operation shown in drawing 9 .

[0069] Drawing 10 (a) It is the timing chart of a serial read-out clock which joins the serial control terminal SC of a frame memory 20 from the liquid crystal display timing signal generation circuit 40. Moreover, this drawing (b) It is the timing chart of the address signal which joins a

frame memory 20 from upper screen address-generation circuit 90U.

[0070] Moreover, this drawing (c) (d) It is the timing chart of a hard window starting address output enabling signal and a base screen revival address output enabling signal which joins upper screen address-generation circuit 90U from upper screen comparator 80U, respectively.

Furthermore, this drawing (e) This drawing (a) It is the output timing chart of the image data of the 0th line by which is serially read from the serial port of a frame memory 20 synchronizing with the shown serial read-out clock, and a serial input is carried out at the input port 31 of the line buffer section 30. Furthermore, this drawing (f) It is the timing chart of the clock used in order that this liquid crystal display 10 that joins a liquid crystal display 10 from the liquid crystal display timing signal generation circuit 40 may input image data from the line buffer section 30.

Moreover, this drawing (g) It is the timing chart of the data inputted into upper screen liquid crystal display panel 10U of a liquid crystal display 10 from the line buffers 34U or 35U for upper screens of the line buffer section 30. And this drawing (h) It is the timing chart of the image data inputted into lower screen liquid crystal display panel 10L of a liquid crystal display 10 from the line buffers 34L or 35L for lower screens of the line buffer section 30.

[0071] Drawing 10 (a) The shown frame memory serial read-out clock is preceded, and it is this drawing (b). The address of the head of the 0th line is inputted into a frame memory 20 from upper screen address-generation circuit 90U so that it may be shown. And this drawing (a) When the shown frame memory serial read-out clock is inputted into a frame memory 20, it is this drawing (c). The image data of the 0th line is outputted to the line buffer section 30 from the serial port one by one from the base screen-display area 22 of this frame memory 20 so that it may be shown. This outputted image data is immediately stored in 1st line buffer 34U for upper screens of the line buffer section 30. At this time, it is this drawing (g). (h) From the 2nd line buffer 34L and 35L for vertical screens (buffer for odd lines), the storing data is simultaneously outputted to a liquid crystal display 10 so that it may be shown. Although the content of this storing data is not what was still decided and it is not the image data which should be displayed, since the image data of the following line is outputted immediately, it is satisfactory practically (it is several 10 – only 100micro second of numbers that unsettled data are outputted). Since a hard window is not displayed on this 0th line, synchronizing with a frame memory read-out clock, it is only 1 time of the beginning that the address is inputted into a frame memory 20, it reads in the frame memory 20 interior, and the increment of the address is carried out automatically and a serial output is continuously carried out from a frame memory 20 to the last image data of the 639th dot of the 0th line henceforth.

[0072] Then, the address output to a frame memory 20 switches from upper screen address-generation circuit 90U to lower screen address-generation circuit 90L, and the image data displayed on the 240th line (the 0th line of a lower screen) of the display screen of a liquid crystal display 10 from a frame memory 20 as shown in drawing 11 is outputted to 1st line buffer 34L for lower screens of the line buffer section 30. Drawing 12 is a timing chart explaining operation of this image data output, and is this drawing (a). – (h) is drawing 9 (a). It is the same as that of – (h).

[0073] Since this line is contained in the area which displays a hard window (alpha-1), a dot eye must output the image data of the logic screen where a dot eye is displayed as a hard window from alpha dot eye (beta-1), although the image data of a base screen is outputted (refer to drawing 12 (a) and (e)). For this reason, lower screen address-generation circuit 90L Drawing 12 (b) It synchronizes with the hard window starting address enabling signal outputted from lower screen comparator 80L so that it may be shown. After outputting the storing address of the image data of the dot (alpha-1) eye of the 240th line of a base screen to a frame memory 20, The storing address of the image data of the head pixel of the logic screen of the hard window displayed on the 240th line, i.e., the address value of $\{U+(240-M) \times 1024\}$, is outputted to a frame memory 20 (refer to drawing 12 (b) and (c)). This or subsequent ones and a frame memory 20 are drawing 12 (a). Synchronizing with the shown frame memory serial read-out clock, the above-mentioned address value is incremented and it is drawing 12 (e). The image data of the logic screen of the hard window from alpha dot eye of the 240th line (beta-1) to a dot eye is outputted to 1st line buffer 34L for lower screens of the line buffer section 30 so that it may be

shown.

[0074] Drawing 12 after the image data of the logic screen of the hard window displayed by the dot (beta-1) eye of the frame memory of the 240th line as mentioned above was outputted (d) A base screen revival address output enabling signal is outputted from lower screen comparator 80D so that it may be shown. Lower screen address-generation circuit 90D is drawing 12 (b), when this signal is added. The storing address of the image data of beta dot eye of the 240th line of a base screen is outputted to a frame memory 20 so that it may be shown. Thereby, it is drawing 12 (e). A frame memory 20 is drawing 12 (b) so that it may be shown. The image data of the base screen from beta dot eye of the 240th line stored in the base screen-display area 22 from the serial port synchronizing with the frame memory read-out clock so that it may be shown to the 1023rd dot is outputted to line buffer 34U for lower screens of the above 1st.

[0075] As shown in drawing 10, all the image data that should be displayed on the 0th line of a liquid crystal display 10 top and the bottom liquid crystal display panels 10U and 10D is stored in the line buffer section 30 by the above operation. In this state, these image data is not outputted to a liquid crystal display 10 yet. Therefore, drawing 12 (g) (h) The random data which have not been decided yet are outputted to these liquid crystal display panels 10U and 10L so that it may be shown.

[0076] And if all the image data that does in this way and should be displayed on the line buffer section 30 by the 1st line of a liquid crystal display 10 top and a bottom screen is stored It synchronizes with the liquid crystal display data input clock added from the liquid crystal display section timing signal generation circuit 40 shown in this drawing (f). two liquid crystal display panels 10U and 10L of a liquid crystal display 10 Respectively, the serial input of the image data is carried out from 1st line buffer 34U for upper screens of the line buffer section 30, and 1st line buffer 34 for lower screens L, and those image data is displayed on the 0th line of each display screen.

[0077] Thus, when the image data displayed on the line buffer section 30 by the same line of a top and the bottom liquid crystal display panels 10U and 10L from a frame memory 20 gathers, the image data concerned is simultaneously outputted to a this top and the bottom liquid crystal display panels 10U and 10L from the line buffer section 30. For this reason, one frame memory 20 which carried out the serial port and which it does not have outputs image data to the line buffer section 30 at the rate of the double precision by which the line buffer section 30 outputs image data to a liquid crystal display 10. Namely, drawing 12 (a) (f) The serial read-out clock of a frame memory 20 serves as frequency of the double precision of the data input clock of a liquid crystal display 10 so that it may be shown.

[0078] Drawing 13 and drawing 14 are drawings explaining operation in which the image data of the 1st line (the 1st line of an upper screen) of a liquid crystal display 10 is read into the line buffer section 30 from a frame memory 20. Moreover, drawing 15 and drawing 16 are drawings explaining operation in which the image data of the 241st line (the 1st line of a lower screen) of a liquid crystal display 10 is read into the line buffer section 30 from a frame memory 20.

[0079] Although reading operation of the image data of the 1st above-mentioned line and the 241st above-mentioned line is the same as that of the time of the image data of the 0th line mentioned above and the 240th line fundamentally, the image data of the 1st above-mentioned line and the 241st above-mentioned line is shortly stored in 2nd line buffer 35U for upper screens; and 2nd line buffer 35D for lower screens, respectively. Moreover, in parallel to reading of this image data, the serial output of the image data of the 0th line and the 240th line is carried out to liquid crystal display panel 10U for upper screens of a liquid crystal display 10, and panel 10D for lower screen display, respectively from 1st line buffer 34U for upper screens of the line buffer section 30, and 1st line buffer 34 for lower screens D (refer to drawing 14 (g), (h) and drawing 16 (g), and (h)).

[0080] Then, as shown in drawing 17, the image data of the 2nd line is read from a frame memory 20. While this image data is stored in 1st line buffer 34U for upper screens From 2nd line buffer 35L for upper screens, and 2nd line buffer 35 for lower screens D, the image data in the first half of the 1st line and the 241st line is inputted into display-panel 10L for upper screens, and display-panel 10D for lower screens, and is displayed on those screens,

respectively. The timing chart explaining operation of each block at this time is drawing 18 .

[0081] Next, as shown in drawing 19 , the image data of the 242nd line is read from a frame memory 20. While this image data is stored in 1st line buffer 34L for lower screens From 2nd line buffer 35U for upper screens, and 2nd line buffer 35for lower screens L, the image data in the second half of the 1st line and the 241st line is inputted into display-panel 10U for upper screens, and display-panel 10L for lower screens, and is displayed on those screens, respectively. The timing chart explaining operation of each block at this time is drawing 20 .

[0082] Henceforth, while the line buffer by which image data is stored in the line buffer section 30 is switched by turns similarly, the image data after the 3rd line and the 243rd line (the 3rd line of a lower screen) is inputted into the line buffer section 30 from a frame memory 20. Moreover, the image data after the 2nd line and the 242nd line (the 2nd line of a lower screen) is inputted into display-panel 10U for upper screens, and display-panel 10L for lower screens from the line buffer section 30, respectively, and, simultaneously with the input of this image data, it is displayed on those screens.

[0083] Thus, in the image display from the 0th line to a $** (M-1)$ line, image data read-out to the line buffers 34U and 35U for upper screens of the line buffer section 30 from a frame memory 20 is made only from the base screen-display area 22.

[0084] However, from the Mth line, the display of a hard window logic screen is started also in liquid crystal display panel 10U for upper screens (refer to drawing 8). Following, next referring to drawing 21 or drawing 24 , the image data of the Mth line is read into the line buffer section 30 from a frame memory 20, and operation until the image data is transmitted and displayed on liquid crystal display panel 10U for upper screens from this line buffer section 30 is explained further.

[0085] Fundamental operation in this case is the same as that of the case where the picture from the 0th line to the Nth line is displayed on liquid crystal display panel 10L for lower screens mentioned above. That is, as shown in drawing 21 and drawing 22 , first, the image data from the 0th dot of the Mth line (alpha-1) to [from the base screen-display area 22] a dot eye is read, and this is stored in 1st line buffer 34U for upper screens (refer to drawing 22 (e)). Then, upper screen comparator 80U to drawing 22 (c) A hard window starting address output enabling signal is outputted to upper screen address-generation circuit 90U, and this upper screen address-generation circuit 90U outputs the storing address U of the image data of alpha dot eye of the Mth line of the hard window buffer memory 24 to a frame memory 20 in response to the input of this signal so that it may be shown (refer to drawing 22 (b) and (c)). Thereby, a frame memory 20 is drawing 22 (a). Synchronizing with the shown frame memory serial read-out clock, the above-mentioned address U is incremented one by one inside. Output the image data of the logic screen of the hard window from alpha dot eye of the Mth line stored in the hard window buffer memory 24 from the serial port (beta-1) to a dot eye to 1st line buffer 34U for upper screens of the line buffer section 30. (Refer to drawing 22 (e)) . Then, a base screen revival address output enabling signal is outputted from upper screen comparator 80U to upper screen address-generation circuit 90U (refer to drawing 22 (d)), and this upper screen address-generation circuit 90U outputs the storing address of the image data of beta dot eye of the Mth line of the base screen in the base screen-display area 22 to a frame memory 20 (refer to drawing 22 (b)). Thereby, a frame memory 20 increments this storing address one by one synchronizing with a frame memory serial read-out clock, and outputs the image data of the base screen from beta dot eye of the Mth line to [from the serial port] the 639th dot to line buffer 34U for upper screens of the above 1st (refer to drawing 21 (e)). The image data which should be displayed on the Mth line of display-panel 10U for upper screens is stored in 1st line buffer 34U for upper screens of the line buffer section 30 by the above operation.

[0086] While the image data of the Mth line is stored in 1st line buffer 34U for upper screens as mentioned above, as shown in drawing 21 From 2nd [from the line buffer section 30] line buffer 35U for upper screens, and 2nd line buffer 35for lower screens L, respectively the amount of [of the image data of a $** (M-1)$ line and the image data of a $[240+ (M-1)]$ line] first portion It is outputted to liquid crystal display panel 10U for upper screens, and liquid crystal display panel 10L for lower screens, and a screen display is carried out.

[0087] Drawing 23 and drawing 24 are drawings explaining operation from which the image data of a $240+M$ line is read from a frame memory 20 to 2nd line buffer section 35L for lower screens of the line buffer section 30. Since it is the image data of a base screen, the image data of this $240+M$ line is drawing 24 (c). (d) From lower screen comparator 80D, a hard window starting address enabling signal and a base screen revival address output enabling signal are not outputted so that it may be shown. Therefore, if the storing address of the image data of the head pixel of the $240+M$ line in the base screen-display area 22 is inputted from lower screen address-generation circuit 90D (refer to drawing 24 (b)), a frame memory 20 It is drawing 24 (a) about this storing address. Synchronizing with the shown frame memory serial read-out clock, it increments one by one. The image data of the base screen of a $240+M$ line is outputted to 1st line buffer 34L for lower screens of the line buffer section 30 from the serial port (refer to drawing 24 (e)). thereby — this — the image data of the base screen of the $240+M$ line which should be displayed on display-panel 10L for lower screens is stored in 1st line buffer 34 for lower screens L. It can come [simultaneously]. moreover, from 2nd line buffer 35U for upper screens, and 2nd line buffer 35 for lower screens L. The second half portions of the image data of a $M-1$ line and the image data of a $240+(M-1)$ line are outputted to liquid crystal display panel 10U for upper screens, and display-panel 10L for lower screens, and are displayed on those screens, respectively, (refer to drawing 23, drawing 24 (g), and (h)).

[0088] Then, while the image data of a $M+1$ line and the image data of a $240+(M+1)$ line are outputted from a frame memory 20 one by one to the line buffer section 30, the image data of the Mth line and the image data of a $240+M$ line are outputted to a liquid crystal display 10 from the line buffer section 30. Drawing 25 or drawing 28 showed these operation. The addresses outputted to a frame memory 20 from upper screen address-generation circuit 901U and lower screen address-generation circuit 90L only differ, and operation in this case is almost the same as operation shown in drawing 21 or drawing 24 mentioned above except it.

[0089] In an upper screen, a screen display from a $M+1$ line to the 237th line should do as read-out of the image data from a $M+2$ line to the 238th line similarly hereafter. In a lower screen, a screen display to a $240+237$ line is made from read-out of the image data from a $240+(M+2)$ line to a $240+(M+238)$ line, and a $240+(M+1)$ line.

[0090] Then, as shown in drawing 29, the image data of the 239th line is inputted into 2nd line buffer 35U for upper screens of this line buffer section 30 from a frame memory 20. And simultaneously with this, the image data for the first portion of the 238th line is inputted into liquid crystal display panel 10U for upper screens of a liquid crystal display 10 from 1st line buffer 34 for upper screens U, and the image data for the first portion of the 477th line is inputted into liquid crystal display panel 10L for lower screens from 1st line buffer 34 for lower screens L. The timing chart of each block at this time of operation is drawing 30. As shown in this drawing, operation at this time is the same as that of the time of explaining using drawing 26 mentioned above.

[0091] Next, as shown in drawing 31, the image data of the 479th line is inputted into 2nd line buffer 35L for lower screens of the line buffer section 30 from a frame memory 20. And simultaneously with this, the image data of the second half portion of the 238th line is inputted into liquid crystal display panel 10U for upper screens of a liquid crystal display 10 from 1st line buffer 34 for upper screens U, and the image data of the second half portion of the 478th line is inputted into liquid crystal display panel 10L for lower screens from 1st line buffer 34 for lower screens L. The timing chart of each block at this time of operation is drawing 32. As shown in this drawing, operation at this time is the same as that of the time of explaining using drawing 28 mentioned above.

[0092] The image data of the 239th line of an upper screen and a lower screen is read from a frame memory 20 as mentioned above, and this image data is stored in the line buffer section 30. Moreover, on a liquid crystal display 10, the picture of the 237th line and the 478th line is displayed on an upper screen and a lower screen simultaneously with this, respectively.

[0093] All the image data including the logic screen displayed as a hard window of a liquid crystal display 10 as mentioned above of the 1st frame is read from a frame memory 20 to the line buffer section 30. And the image data of the 2nd frame is already written in the base screen—

display area 22 and the hard window buffer area 24 of a frame memory 20 at this time. and — again — the above — the same — carrying out — this — read-out of the image data from the frame memory 20 to the line buffer section 30 is started from the 0th line also about the 2nd frame

[0094] Drawings explaining operation at this time are drawing 33 and drawing 34. That is, although operation in this case is the same as that of the time of being shown in drawing 9 and drawing 10 which were mentioned above almost, the image data of the 240th line and the 479th line of a ** frame is stored in 2nd line buffer 35U for upper screens of the line buffer section 30, and 2nd line buffer 35 for lower screens L instead of undecided data, respectively. And drawing 34 (e) (g) (h) While the image data of the 0th line of the 2nd frame is stored in 1st line buffer 34U for lower screens from a frame memory 20 so that it may be shown The image data for the first portion of the 240th line and the 479th line is read from 2nd line buffer 35U for upper screens, and 2nd line buffer 35 for lower screens L, respectively. These image data is displayed on display-panel 10U for upper screens of a liquid crystal display 10, and display-panel 10L for lower screens.

[0095] Next, as shown in drawing 35, the image data of the 240th line of the 2nd frame is read from a frame memory 20. While it is stored in 1st line buffer 35U for lower screens of the line buffer section 30 From 2nd line buffer 34L for upper screens, and 2nd line buffer 35 for lower screens L The image data of the second half portion of the 239th line of the 1st frame and the image data of the second half portion of the 479th line are inputted into display-panel 10L for upper screens, and display-panel 10D for lower screens, respectively, and the whole picture of the 1st frame is displayed on a liquid crystal display 10. The timing chart explaining operation of each block at this time is drawing 36.

[0096] In addition, although it is made for two liquid crystal display panels 10U and 10L to constitute one screen from the above-mentioned example, this invention can be applied also to the liquid crystal display which one screen consists of by many liquid crystal display panels further, without being limited to this. In this case, what is necessary is just to prepare the 1st and 2nd line buffers corresponding to each liquid crystal display panel, for example. moreover — although it is made to prepare two line buffers in every each liquid crystal display panel 10U and 10L in this example — this — it is also possible to substitute one line buffer for two line buffers In this case, to take a larger capacity of this line buffer than 1 scan line, and in this line buffer, are asynchronous and what is necessary is just made to perform the input and output of image data. Furthermore, not necessarily, this invention is not limited only to a liquid crystal display, and can be applied to all the display with which one screen is constituted by two or more display panels of other forms. Furthermore, the number of the hard windows displayed on 1 screen is not limited to one, either, and can be applied also to the display with which two or more hard windows are simultaneously displayed into a base screen.

[0097]

[Effect of the Invention] Since it becomes possible to make the image data read from a frame memory input into the arbitrary display panels in two or more display panels through a line buffer according to this invention, it becomes possible to display a hard window on all the positions on a screen in the display with which one screen is constituted by two or more display panels. Moreover, since the above-mentioned hard window can be displayed with hardware control, it becomes possible to accelerate the application software which displays a hard window. Moreover, improvement in the speed of the computer system which uses by this the display which displays a hard window is also attained.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the circuitry of the liquid crystal display control unit of one example of this invention.

[Drawing 2] It is drawing showing the example of 1 composition of the line buffer section.

[Drawing 3] It is drawing showing the composition of an upper screen and lower screen hard window register set.

[Drawing 4] It is the block diagram showing the example of 1 composition of an upper screen comparator and a lower screen comparator.

[Drawing 5] It is the block diagram showing the example of 1 composition of an upper screen and a lower screen address-generation circuit.

[Drawing 6] Two hard windows are drawings showing the example separately displayed on the upper screen liquid crystal panel of a liquid crystal display, and a lower screen liquid crystal display panel, respectively.

[Drawing 7] It is drawing showing the example displayed as one screen where one hard window continued ranging over the upper screen liquid crystal panel and the lower screen liquid crystal panel.

[Drawing 8] It is drawing showing the concrete example of 1 composition of the frame memory 20 used by this example.

[Drawing 9] It is drawing showing a state in case the image data of the 0th line of the first frame displayed on a liquid crystal display is read from a frame memory 20.

[Drawing 10] It is a timing chart explaining operation shown in drawing 9.

[Drawing 11] The image data displayed on the 240th line of the display screen of a liquid crystal display from a frame memory is drawing explaining the state where it is outputted to the 1st line buffer for lower screens of the line buffer section.

[Drawing 12] It is a timing chart explaining operation shown in drawing 11.

[Drawing 13] It is drawing explaining operation in which the image data of the 1st line of a liquid crystal display is read into the line buffer section from a frame memory.

[Drawing 14] It is a timing chart explaining operation shown in drawing 13.

[Drawing 15] It is drawing explaining operation in which the image data of the 241st line of a liquid crystal display is read into the line buffer section from a frame memory.

[Drawing 16] It is a timing chart explaining operation shown in drawing 15.

[Drawing 17] The image data of the 2nd line is read from a frame memory, and this image data is drawing explaining operation stored in the 1st line buffer for upper screens.

[Drawing 18] It is a timing chart explaining operation shown in drawing 17.

[Drawing 19] The image data of the 242nd line is read from a frame memory, and this image data is drawing showing operation stored in the 1st line buffer for lower screens.

[Drawing 20] It is a timing chart explaining operation shown in drawing 19.

[Drawing 21] It is drawing in which the image data of the Mth line is read from a frame memory, and this shows operation stored in the 1st line buffer for upper screens.

[Drawing 22] It is a timing chart explaining operation shown in drawing 21.

[Drawing 23] It is drawing explaining operation from which the image data of a ** (240+M) line is

read from a frame memory to the 2nd line buffer section for lower screens of the line buffer section.

[Drawing 24] It is a timing chart explaining operation shown in drawing 23 .

[Drawing 25] It is drawing showing operation in which picture-TA of a $** (M+1)$ line is read into the 2nd line buffer for upper screens of the line buffer section from a frame memory.

[Drawing 26] It is a timing chart explaining operation shown in drawing 25 .

[Drawing 27] It is drawing showing operation in which the image data of a $** \{240+ (M+1)\}$ line is read into the 2nd line buffer for lower screens of the line buffer section from a frame memory.

[Drawing 28] It is a timing chart explaining operation shown in drawing 27 .

[Drawing 29] It is drawing showing operation in which the image data of the 239th line is read into the 2nd line buffer for upper screens of this line buffer section from a frame memory.

[Drawing 30] It is a timing chart explaining operation shown in drawing 29 .

[Drawing 31] It is drawing showing operation in which the image data of the 479th line is inputted into the 2nd line buffer for lower screens of the line buffer section from a frame memory.

[Drawing 32] It is a timing chart explaining operation shown in drawing 31 .

[Drawing 33] It is drawing showing operation in which the image data of the 0th line of the 2nd frame is read into the 1st line buffer for upper screens of the line buffer section from a frame memory.

[Drawing 34] It is a timing chart explaining operation shown in drawing 33 .

[Drawing 35] It is drawing showing operation which the image data of the 240th line of the 2nd frame is read from a frame memory, and is stored in the 1st line buffer for lower screens of the line buffer section.

[Drawing 36] It is a timing chart explaining operation shown in drawing 35 .

[Drawing 37] It is drawing explaining the general method of a screen display in a CRT display.

[Drawing 38] It is the block diagram of the frame memory used for a screen display in the CRT display shown in drawing 37 .

[Drawing 39] It is drawing explaining the concept of a hard window.

[Drawing 40] It is drawing explaining the storing method of the image data of the above-mentioned hard window within the frame memory shown in drawing 38 .

[Drawing 41] It is drawing showing the state where the hard window is displayed on some base screens on the display screen.

[Drawing 42] It is drawing explaining the read-out sequence of the image data from a frame memory in the case of the hard window display shown in drawing 41 .

[Drawing 43] It is drawing showing the composition of the frame memory corresponding to the composition of the liquid crystal display generally used as a display of an information processor now, and this.

[Drawing 44] It is drawing explaining the method which changes the internal configuration of the frame memory for the object for upper screens, and lower screens, and the physical room of the two above-mentioned frame memories into the logical room which CPU accesses.

[Drawing 45] It is drawing showing the example in the case of displaying a hard window on the panel of an upper screen.

[Drawing 46] It is drawing showing an example which becomes impossible [displaying a hard window in the conventional liquid crystal display].

[Description of Notations]

10 Liquid Crystal Display

10U The liquid crystal display panel for upper screens

10L The liquid crystal display panel for lower screens

20 Fame Memory

22 Base Screen-Display Area

24 Hard Window Buffer Area

30 Line Buffer Section

32 1st Demultiplexer

33 2nd Demultiplexer

34U The 1st line buffer for upper screens

34L The 1st line buffer for lower screens
35U The 2nd line buffer for upper screens
35L The 2nd line buffer for lower screens
40 Liquid Crystal Display Timing Signal Generation Circuit
50 Line Counter
60 Horizontal Dot Counter
70U Upper screen hard window register set
70L Lower screen hard window register set
80U Upper screen comparator
80L Lower screen comparator
90U Upper screen address-generation circuit
90L Lower screen address-generation circuit

[Translation done.]

(11) 特許出願公開番号

(43) 公開日 平成8年(1996)8月20日

FI

K 9377-5H

E 9377-5H

審査請求 未請求 請求項の数 3 O L (全32頁)

(71)出願人 000001443

東京都新宿区西新宿2丁目6番1号

(72) 発明者 加藤 智

計算機株式会社羽村技術センター内

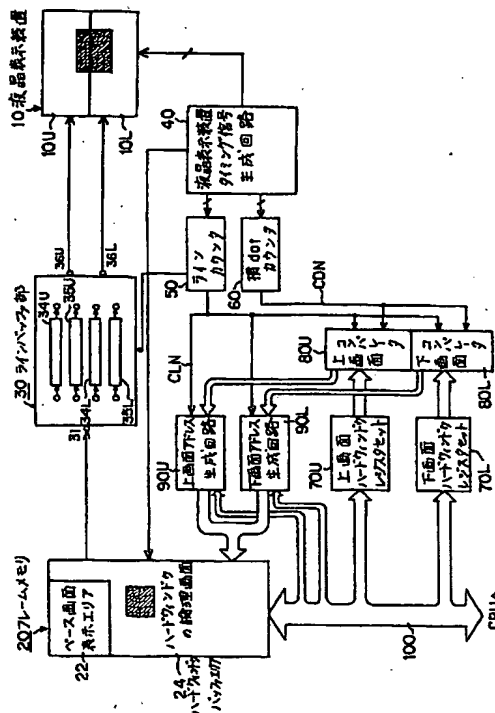
(74) 代理人 弁理士 阪本 紀康

(54) 【発明の名称】 表示制御装置

(57) 【要約】 (修正有)

【目的】 複数の表示パネルによって一画面が構成される表示装置のスクリーン上の任意の位置にハードウィンドウを表示できるようにする。

【構成】 フレームメモリ 20 と液晶表示装置 10 との間にラインバッファ部 30 を設ける。該液晶表示装置 10 は、2 つの上画面・下画面用液晶表示パネル 10 U、10 L によって構成される。ラインバッファ部 30 は、入力ポート 31 にはフレームメモリ 20 のシリアルポートが、また各出力ポート 36 U、36 L にはそれぞれ上画面用液晶表示パネル 10 U、下画面用液晶表示パネル 10 L の入力端子が接続される。フレームメモリ 20 のシリアルポートから読み出される画像データは 4 つのラインバッファ 34 U、35 U、34 L、35 L に順次、格納され、2 つのラインバッファに格納された画像データが画面用液晶表示パネル 10 U 及び 10 L へ夫々入力される。



【特許請求の範囲】

【請求項1】 複数の表示パネルによって一画面が構成される表示装置の画面にハードウィンドウを表示させる表示制御装置において、

ベース画面の画像データとハードウィンドウの画像データを格納するフレームメモリと、

該フレームメモリから読み出される前記ベース画面または前記ハードウィンドウの画像データが格納される、各表示パネルに対応して設けられた複数のラインバッファと、

前記表示装置の画面上での走査順序に従って、前記フレームメモリから前記ベース画面または前記ハードウィンドウの当該画像データを読み出し、該画像データを当該ラインバッファに入力させると共に、上記走査順序に従って前記複数のラインバッファに格納されている画像データを当該表示パネルに入力させる制御手段と、を備えることを特徴とする表示制御装置。

【請求項2】 前記ラインバッファは各表示パネル毎に2個づつ設けられ、

前記制御手段は、該2個のラインバッファを前記フレームメモリからの画像データの読み出し用と当該液晶表示パネルへの画像データ出力用に切り換えて使用すること、

を特徴とする請求項1記載の表示制御装置。

【請求項3】 前記表示パネルは、液晶表示パネルであること、

を特徴とする請求項1または2記載の表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像メモリ（フレームメモリまたはビデオRAM）から画像データを読み出して、表示装置に画像を表示させる制御を行う表示制御装置に関する。

【0002】

【従来の技術】近年、液晶表示装置などに代表されるフラットパネル・ディスプレイの需要が、ノート・パソコンやサブノート・パソコンの普及に伴い急速に増大している。また、壁掛けテレビやワイド・スクリーンの大型ディスプレイを薄型化により実現するための研究・開発が盛んに進められている。

【0003】図37は、CRTディスプレイにおける画面表示の一般的な方式を説明する図である。同図に示す例は、インタレース方式の走査方法により画面表示を行う例を示す図である。

【0004】表示装置の表示画面（スクリーン）100上には、蛍光体が塗布されており、図中、A→B、C→D、・・・I→Jの矢印で示す走査線101により、蛍光面の一点（画素）に、順次、電子ビームを照射させながら画像を表示していく。ある走査線101から次の走査線101に移る電子ビームの軌跡は水平帰線102

（破線の矢印B→C、D→E、・・・H→I）と呼ばれ、一画面の表示が終了して次の画面の先頭に戻るまでの電子ビームの移動軌跡は垂直帰線103（細かい破線の矢印J→A）と呼ばれる。

【0005】また、該表示において画素に照射する電子ビームの強度を変調することによって、画素の輝度が変調されるが、これはフレームメモリ200に格納されている画像データ（輝度データ）を読み出すことによって行われる。

10 【0006】図38は、フレームメモリ200の構成図である。フレームメモリ200は、ビットマップメモリとも呼ばれ、表示画面100の各画素に対応する画像データを1対1対応で記憶している表示データ領域210を有している。図38において、例えば、図37に示す表示画面100の画素Aに対応する画像データは該表示データ領域210のアドレスA'に格納され、画素Hに対応する画像データは該表示データ領域210のアドレスH'に格納される。そして、上述した走査線101に従って、表示対象の画像データが該表示データ領域210から読み出され、表示画面100に画像が表示される。

【0007】ところで、情報処理装置におけるウィンドウの表示方式の概念として“ハードウィンドウ”が知られている。図39及び図40は、該ハードウィンドウ310の概念及びそのフレームメモリ200内での格納方法を説明する図である。

【0008】ハードウィンドウ310は、図39に示すように表示画面100全体に表示されるベース画面300内に一ウィンドウとして表示される論理画面である。フレームメモリ200内においては、図40に示すように、上記ベース画面300の画像データと上記ハードウィンドウ310の画像データは、それぞれ別々の領域230、240に格納される。ハードウィンドウ310の内容は、ハードウェア回路によりベース画面300の一部（または全体）にマッピングされ、表示画面100の画像が書き換えられる。すなわち、ベース画面300の内容（画像データ）を書き換えることなく、ハードウィンドウ310をベース画面300にマッピングすることにより画像を書き換えることができる。

40 【0009】次に、図41及び図42を参照しながら、ハードウィンドウ310の表示方法を説明する。図41において、表示画面100のベース画面300の一部にハードウィンドウ310が表示されている。また、同図において、走査線101はa→b、c→d、・・・w→xの矢印で示されている。また、特に、ハードウィンドウ310を表示させる走査線101'をh→i、l→m、・・・t→uで示している。

【0010】上記表示画面100に対応して、図42に示すようにフレームメモリ200内には、上記ベース画面300の画像データと上記ハードウィンドウ310の

画像データが、それぞれ領域230、240に格納されている。また、図42中では上記図41に示す走査線101に対応して読み出されるベース画面300の画像データの格納位置を $a \rightarrow b$ 、 $c \rightarrow d$ 、 $\dots w \rightarrow x$ の矢印の走査線101に対応させて $a' \rightarrow b'$ 、 $c' \rightarrow d'$ 、 $\dots w' \rightarrow x'$ の矢印で示している。また、 $h \rightarrow j$ 、 $l \rightarrow m$ 、 $\dots t \rightarrow u$ の走査線101'に対応して読み出されるハードウィンドウ310の画像データの格納位置を、それらの走査線101'に対応させて $h' \rightarrow j'$ 、 $l' \rightarrow m'$ 、 $\dots t' \rightarrow u'$ の矢印で示している。

【0011】すなわち、図41に示す表示画面100の表示に際しては、フレームメモリ200からの画像データの読み出しは、最初、ベース画面300の表示の走査線に対応して領域230から $a' \rightarrow b'$ 、 $c' \rightarrow d'$ 、 $e' \rightarrow f'$ の順序で行われる。そして $g' \rightarrow h'$ にまで進んだところで、ハードウィンドウ310の画像データの読み出しに移行するために、領域240に画像データの読み出し位置が移る。すなわち、 $g \rightarrow j$ 、 $k \rightarrow n$ 、 $o \rightarrow r$ 、 $s \rightarrow v$ の走査線101中では、領域240の $h' \rightarrow i'$ 、 $l' \rightarrow m'$ 、 $p' \rightarrow q'$ 、 $l' \rightarrow n'$ から画像データが読み出される。そして、 $w \rightarrow k$ の走査線中では、再び、ベース画面300の画像データの格納域230から画像データの読み出しが開始される($w' \rightarrow x'$)。

【0012】このようにして、実際の画面には全体の表示画面の一部(または全部)にベース画面300とは別の論理画面をハードウィンドウ300として表示することができる。

【0013】

【発明が解決しようとする課題】しかしながら、上述したようなハードウィンドウの表示方法は、情報処理装置のディスプレイとして使用される大型画面の液晶表示装置には適用できないという問題があった。

【0014】この理由を、以下に説明する。図43は、現在、一般に情報処理装置のディスプレイとして用いられている液晶表示装置の構成及びこれに対応するフレームメモリの構成を示す図である。

【0015】液晶ディスプレイパネルは、まだ大型画面用の製造歩留まりが低いので、同図に示すように上画面用と下画面用の2つのパネル(液晶表示パネル)310、320で一画面のディスプレイパネル300を構成している。また、このパネル構成に対応して、上記各パネル310、320の個々に1対1に対応してフレームメモリ410、420が設けられている。これらのメモリ410、420は、例えば、デュアルポートRAMから成り、各メモリ410、420に描画された画像データはそれらのシリアルポートから対応するパネル310、320に出力される。

【0016】このように、フレームメモリは上画面用と

下画面用に完全に分離されているため上画面用のパネル310は上画面用フレームメモリ410の内容しか表示できず、下画面用のパネル320は下画面用フレームメモリ420の内容しか表示できない仕組みになっている。

【0017】図44の左側に、上記上画面用および下画面用のフレームメモリ410、420の内部構成を示す。同図において、上画面用フレームメモリ410の領域aは上画面パネル310のベース画面の画像データの描画域であり、下画面用フレームメモリ420の領域bは下画面パネル320のベース画面の画像データの描画域である。また、フレームメモリ410の領域cは上画面のベース画面に貼り付けられるウィンドウなどの描画域などに用いられる。同様に、フレームメモリ420の領域dは下画面のベース画面に貼り付けられるウィンドウなどの描画域に用いられる。

【0018】したがって、液晶ディスプレイパネル300のベース画面の表示は、上画面用フレームメモリ410の領域aと下画面用フレームメモリ420の領域bから画像データを読み出すことにより行われる。フレームメモリ410、420の物理的メモリマップは、図44の左側に示すようになっているが、これでは、CPUが液晶ディスプレイ300に画面を表示させる際のフレームメモリ410、420へのアクセスが非常に効率に悪いものとなってしまうCPUの処理能力を低下させる。このため、CPUとフレームメモリ410並びに420との間に、不図示のATB(Address Transfer Buffer)やMMU(Memory Management Unit)などの論理アドレスを物理アドレスに変換する機構(ハードウェア)を設けて、CPUが物理的には分離されているこれら2つのフレームメモリ410及び420を、図44の右側に示された連続的な論理アドレス空間(論理的メモリ空間)500によりアクセスできるようにしている。アドレス空間a'、b'、c'、及びd'は、それぞれ、フレームメモリ410及び420の領域a、b、c、及びdに対応している。これにより、CPUは、フレームメモリ410の領域aとフレームメモリ410の領域bを、論理アドレスa'、b'をアクセスすることにより連続的に効率良く高速にアクセスできる。

【0019】次に、上記のようなアドレス変換機構を用いたシステムで、ハードウィンドウを表示する場合を考えてみる。図45は、上画面のパネル310にハードウィンドウhを表示する場合の例であり、この場合、ハードウィンドウの画像データは上画面用のフレームメモリ410の領域cの一部に描画される。この例においては、同図の下側に示すように、ハードウィンドウhの画像データは、上画面用のフレームメモリ410の領域cから読み出されて上画面のパネル310に入力されることになる。そして、該上画面のパネル310にハードウィンドウhが表示される。したがって、この場合、ハー

10

20

30

40

50

ドウィンドウhの表示は可能である。

【0020】次に、図46は上記と同様に、上画面のパネル310にハードウィンドウhを表示する場合の例であるが、ハードウィンドウhの画像データは同図の下側に示されるように下画面用のフレームメモリ410の領域dに格納されている。上述したように、該フレームメモリ410からの画像データ出力は下画面のパネル320に対してのみ可能であり、同図の下側に破線で示されたような上画面のパネル310への出力は不可能である。したがって、この場合、ハードウィンドウhの表示は不可能となる。

【0021】同様に、下画面のパネル320に上画面用のフレームメモリ410の領域cに描画されたハードウィンドウhの画像を表示させることは不可能である。また、上、下のパネル310、320にまたがらせてハードウィンドウを表示させることも不可能である。

【0022】このように、従来は、上、下に二分離されたパネルにより一画面を表示する構成の液晶表示装置300においては、ハードウィンドウの表示を完全に実現することはできなかった。

【0023】本発明の課題は、上、下に二分割された表示パネルから成る液晶表示装置において、ハードウィンドウの表示を完全に実現できるようにすることである。

【0024】

【発明を解決するための手段】本発明は、複数の表示パネルによって一画面が構成される表示装置の画面上にハードウィンドウを表示させる表示制御装置を前提とする。そして以下の各手段を備える。

【0025】フレームメモリは、ベース画面の画像データとハードウィンドウの画像データを格納する。複数のラインバッファは、各表示パネルに対応し設けられ、それぞれのラインバッファには、該フレームメモリから読み出される前記ベース画面または前記ハードウィンドウの画像データが格納される。

【0026】制御手段は、前記表示装置の画面上での走査順次に従って、前記フレームメモリから前記ベース画面または前記ハードウィンドウの当該画像データを読み出し、該画像データを当該ラインバッファに入力させると共に、上記走査順序に従って前記複数のラインバッファに格納されている画像データを当該表示パネルに入力させる。

【0027】上記構成において、前記ラインバッファは、各表示パネル毎に2個ずつ設けられ、前記制御手段は、該2個のラインバッファを前記フレームメモリからの画像データの読み出し用と当該液晶表示パネルへの画像データを出力用に交互に切り換えて使用するような構成としてもよい。

【0028】また、前記表示パネルは、例えば、液晶表示パネルである。

【0029】

【作用】CPU等によって、前記表示装置のスクリーン上に表示される画像データが各フレーム単位でフレームメモリに書き込まれる。この画像データには、ベース画面用のものとハードウィンドウ用のものが含まれる。

【0030】制御手段は、前記表示装置の画面上での走査順序に従って、前記フレームメモリからあるフレームにおける前記ベース画面または前記ハードウィンドウの当該画像データを読み出し、該画像データを当該ラインバッファに入力させると共に、上記走査順序に従って前記複数のラインバッファに格納されている画像データを当該表示パネルに入力させる。

【0031】したがって、該制御手段をハードウェアにより構成することにより、前記複数の表示パネルによって一画面が構成される表示装置のスクリーン上に表示されるベース画面の中の任意に位置のハードウィンドウを高速で表示することが可能となる。

【0032】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。図1は、本発明の一実施例の液晶表示制御装置の回路構成を示すブロック図である。

【0033】液晶表示装置10は、2枚の液晶表示パネル10U、10Lにより一つの表示画面（スクリーン）を構成しており、該液晶表示パネル10U、10Lを表示駆動するための水平駆動回路や垂直駆動回路がその周辺に設けられている。尚、第1の液晶表示パネル（上画面液晶表示パネル）10Uは画面全体の上画面の画像を表示し、第2の液晶表示パネル（下画面液晶表示パネル）10Lは画面全体の下画面の画像を表示する。これら2つの液晶表示パネル10U、10Lの走査ライン数は等しくなっている。

【0034】フレームメモリ20は、デュアルポート・メモリから成り、そのシリアルポート出力aは、後述するラインバッファ部30の入力端子31に接続されている。フレームメモリ20は、液晶表示装置10のスクリーン全体に表示されるベース画面の画像データを格納するベース画面表示エリア22と、該ベース画面上に表示されるハードウィンドウの論理画面の画像データを格納するハードウィンドウ・バッファエリア24とから成っている。一般的には、論理画面は複数有り、必要に応じて当該論理画面の画像データが読み出されて液晶表示部10上に表示される。

【0035】ラインバッファ部30は、上記上画面のライン（一走査線）分の画像データが格納される2個の第1及び第2の上画面用（上側）ラインバッファ34U、35Uと、上記下画面のライン（一走査線）分の画像データが格納される2個の第1及び第2の下画面用（下側）ラインバッファ34L、35Lの計4個のラインメモリを有している。これらのラインバッファ34U、34L、35Lは、FIFO（先入れ先出し：First In First Out）メモリとなっている。ラインバッファ

部30には1個の入力ポート31と2個の出力ポート36U、36Lが設けられており、該入力ポート31にはフレームメモリ20のシリアルポートから出力される画像データが入力される。また、上画面用出力ポート36Uから上画面液晶表示パネル10Uへの画像データが、下画面用出力ポート36Lから下画面液晶表示パネル10Lへの画像データが出力される。

【0036】上画面用の2個の第1及び第2ラインバッファ34U、35Uの入力端子は、後述詳しく説明するタイミングで交互にフレームメモリ20のシリアルポートに接続される。同様に、下画面用の2個の第1及び第2のラインバッファ34L、35Lの入力端子も、後述詳しく説明するタイミングで交互にフレームメモリ20のシリアルポートに接続される。また、上画面用の2個のラインバッファ34U、35Uの出力端子は、後述詳しく説明するタイミングで交互に上画面液晶表示パネル10U用の出力ポート36Uに接続される。同様に、下画面用の2個のラインバッファ34L、35L用の出力端子も、後述、詳しく説明するタイミングで交互に下画面液晶表示パネル10L用の出力ポート36Lに接続される。これらの接続切替は、例えば不図示のデマルチプレクサを介して行われる。

【0037】図2は、ラインバッファ部30の一構成例を示す図である。第1のデマルチプレクサ32は、その入力端子I（入力ポート31）からフレームメモリ20のシリアルポートから出力される画像データを入力する。また、一種のセレクト信号として後述するラインカウンタ50からカレントナンバCLNをそのセレクト信号入力端子Sに入力する。このカレントナンバCLNは、後述するように、現在、フレームメモリ20のシリアルポートから出力されている画像データが液晶表示装置10に表示される画面のどの走査ラインに表示されるものであるかを示すものである。そして、該カレントナンバCLNの値に応じて、上記入力端子Iに入力される画像データを4個の出力端子Y₀₁、Y₀₂、Y₁₁またはY₁₂のいずれか一つから出力する。該出力端子Y₀₁、Y₀₂、Y₁₁、Y₁₂はそれぞれ、第1の上画面用ラインバッファ34U、第2の上画面用ラインバッファ35U、第1の下画面用ラインバッファ34L、第2の下画面用ラインバッファ35Lの入力ポートに接続されている。

【0038】該第1のデマルチプレクサ32の機能は、以下の通りである。

① CLN=2n (n=0、1、2・・・max₁) のときは、出力端子Y₀₁から第1の上画面用ラインバッファ34Uへ入力画像データを出力。尚max₁は、上画面のライン数の1/2の値である(但し、上画面のライン数は偶数ラインとし、第0ラインから始まるものとする)。

② CLN=2n+1のときは、出力端子Y₀₂から第2の上画面用ラインバッファ35Uへ入力画像データを出力

力。

③ CLN=2m (m=S、S+1、・・・e) のときは、出力端子Y₁₁から第1の下画面用ラインバッファ34Lへ入力画像データを出力。但し、Sは下画面の先頭ラインの1/2の値、eは下画面の(最終ライン-1)の1/2の値。この場合も、下画面のライン数は偶数とする)

④ CLN=2m+1のときは、出力端子Y₁₂から第2の下画面用ラインバッファ35Lへ入力画像データを出力

したがって、上画面の第0ラインの画像データは第1の上画面用ラインバッファ34Uに格納される。また、上画面の第1ラインの画像データは第2の上画面用ラインバッファ35Uに格納される。以後、同様にして上画面の第2ライン以降の画像データが、第1の上画面用ラインバッファ34Uと第2の上画面用ラインバッファ35Uに交互に格納されていく。

【0039】また、第2mライン(下画面の第0ライン)の画像データは第1の下画面用ラインバッファ34Lに格納される。また、第(2m+1)ライン(下画面の第2ライン)の画像データは第2の下画面用ラインバッファ35Lに格納される。以後、同様にして、下画面の第2ライン以降の画像データが、第1の下画面用ラインバッファ34Lと第2の下画面用ラインバッファ35Lに交互に格納されていく。

【0040】また、第2のデマルチプレクサ33は、それぞれ第1及び第2の上画面用ラインバッファ34U、35U、第1及び第2の下画面用ラインバッファ34L、35Lの出力ポートに接続された4個の入力端子I₀₁、I₀₂、I₁₁、I₁₂を有する。そして、そのセレクト信号入力端子Sに前記ラインカウンタ50から出力されるカレントナンバCLNを入力し、このカレントナンバCLNに応じて上記入力端子I₀₁またはI₀₂に入力される画像データを上画面用液晶表示パネル10Uへ、上記入力端子I₁₁またはI₁₂に入力される画像データを下画面用液晶表示パネル10Lへ出力する。

【0041】この第2のデマルチプレクサ33の機能をまとめると、以下のようである。

① CLN=2n+1または2m+1のとき、入力端子I₀₁から入力される第1の上画面用画像バッファ34Uに格納されている画像データを出力端子Y₀(上画面用出力ポート36U)を介して上画面用液晶表示パネル10Uへ、入力端子I₁₁から入力される第1の下画面用画像バッファ34Lに格納されている画像データを出力端子Y₁(下画面用出力ポート36L)を介して下画面用液晶表示パネル10Lへ出力する。

② CLN=2nまたは2mのとき、入力端子I₀₂から入力される第2の上画面用画像バッファ35Uに格納されている画像データを出力端子Y₀を介して上画面用液晶表示パネル10Uへ、入力端子I₁₂から入力される第

10

20

30

40

50

2の下画面用画像バッファ35Lに格納されている画像データを下画面用液晶表示パネル10Lへ出力する。

【0042】これにより、ラインバッファ部30からは、上画面と下画面の同一ラインの画像データが、同時に、それぞれ上画面用表示パネル10Uと下画面用表示パネル10Lへ入力される。

【0043】液晶表示装置タイミング信号生成回路40は、図1に示すシステム全体の動作タイミングを生成するためのタイミング信号を生成するシーケンサであり、不図示の内蔵または外部の水晶発振器によって生成される基準クロックから、各種タイミング信号を作成・出力する。

【0044】これらのタイミング信号には、以下のようなものがある。

① 液晶表示装置10に出力される信号

CL1・・・液晶表示装置10内部に設けられたシフトレジスタに読み込まれているIライン分の表示データを液晶画面に書き込むタイミングを決定する信号。どのラインに書き込まれるかはラインセクタによって指定する。また、該書き込みが終了したあと、ラインセクタの内容をインクリメントして次に書き込むラインを指定させる。

【0045】尚、上記ラインセクタは、液晶表示装置10の内部に設けられている。

CL2・・・前記ラインバッファ部30から送られて来る表示データを1ビットずつ前記シフトレジスタに書き込むタイミング信号。データが書き込まれると、シフトレジスタに格納されていた表示データは、新たな表示データが1ビットずつシリアル入力されると、順送りにそれぞれの後段のレジスタに送られる。(シフトレジスタの段数は液晶表示装置の横方向のドット数に等しくなっており、全シフトレジスタにより液晶表示装置の1ライン分のデータを読み込むことが可能となっている。

FLM・・・ファーストラインマーカと呼ばれ、この信号が出力されている間にCL1が出力されると、ラインセクタはリセットされて、液晶表示装置の1番目のライン(すなわち1番上のライン)を指すようになる。

② フレームメモリ20へ出力される信号

RAS(行アドレス・ストロブ信号)・・・アドレスバス上の行アドレス信号をフレームメモリ20に取り込ませるための信号。

CAS(列アドレス・ストロブ信号)・・・アドレスバス上の列アドレス信号をフレームメモリ20に取り込ませるための信号。

DT/OE・・・デュアルポートメモリであるフレームメモリ20のランダムポートのデータ出力制御と、フレームメモリ20内部におけるデータレジスタとメモリセル間のデータ転送制御を行う信号。

SC・・・フレームメモリ20内部のシリアルデータの入・出力用データバッファからシリアルポートを介して

データをシリアル入・出力させるためのクロック信号(フレームメモリシリアル読み出しクロックを兼ねる)。

③ ラインカウンタ50に出力される信号

ラインカウンタ50の内容をインクリメントさせる信号(第1のインクリメント信号)と、リセットさせる信号(第1のリセット信号)。これらの信号は、それぞれ、上記CL1、FLMと同一の信号である。

④ 横dotカウンタ60に出力される信号

横dotカウンタ60の内容をインクリメントさせる信号(第2のインクリメント信号)と、リセットさせる信号(第2のリセット信号)。

【0046】該第2のインクリメント信号は前記CL2、該第2のリセット信号は前記CL1と同一の信号である。ラインカウンタ50は、フレームメモリ20から読み出すべき画像データの液晶表示装置10の表示画面上での走査ライン位置CLNを計数するカウンタであり、上記タイミング信号生成回路40から前記第1のインクリメント信号が加わる毎に“1”インクリメントされる。また、上記タイミング信号生成回路40から前記第1のリセット信号FLMが加わると“0”にリセットされる。

【0047】横ドットカウンタ60は、液晶表示装置10の各ラスタ走査時の現在の表示ドット位置(表示画素位置)を計数するカウンタであり、上記タイミング信号生成から前記第1のインクリメント信号が加わる毎に“1”インクリメントされる。また、上記タイミング信号生成回路40から前記第2のリセット信号CL1が加わると“0”にリセットされる。

【0048】上画面ハードウィンドウレジスタ・セット70Uは、図3に示すように、ハードウィンドウ開始ラインレジスタRSL、ハードウィンドウ終了レジスタREL、ハードウィンドウ開始横ドット(dot)レジスタRSD、及びハードウィンドウ終了横ドット(dot)レジスタREDから成る。

【0049】ハードウィンドウ開始ラインレジスタRSL・・・上画面に表示するハードウィンドウの先頭ラインのラスタ走査位置が格納されるレジスタ。

ハードウィンドウ終了ラインレジスタREL・・・上画面に表示するハードウィンドウの最終ラインのラスタ走査位置を格納するレジスタ。

ハードウィンドウ開始横ドットレジスタRSD・・・上記ハードウィンドウの各ラスタ走査における最初の画素位置を格納するレジスタ。

ハードウィンドウ終了横ドットレジスタRED・・・上記ハードウィンドウの各ラスタ走査における最初の画素位置を格納するレジスタ。

下画面ハードウィンドウレジスタ・セット70Lも、上記上画面ハードウィンドウレジスタ70Uと同様な構成となっており、各レジスタに設定される値が下画面のハ

ードウィンドウに関する値である点のみが異なる。

【0050】上記上画面ハードウィンドウレジスタセット70Uと下画面ハードウィンドウレジスタセット70Dは、共に、不図示のCPUのバス100と接続されており、これらの上・下画面レジスタセット70U、70D内の各レジスタへのデータのセットは該CPUによって行われる。

【0051】上画面コンパレータ80Uは、ラインカウンタ50から現在のラスタ走査インクリメントを示す信号（カレント・ライン・ナンバー）を、横ドットカウンタ60から現在の表示画素位置を示す信号（カレント・横ドット・ナンバー）CDNを入力する。また、上画面ハードウィンドウレジスタ・セット70Uから各レジスタ値を入力する。そして、これらの信号及びレジスタ値からフレームメモリ20から上画面に表示すべきハードウィンドウの画像データを読み出すべき開始タイミングを指示する第1のハードウィンドウ開始アドレス出力許可信号と、フレームメモリ20から該ハードウィンドウの画像データの読み出しを終了して、再びベース画面の上画面の画像データを読み出すべき開始タイミングを指示する第1のベース画面復活アドレス出力許可信号BOEを上画面アドレス生成回路90Uに出力する。

【0052】下画面コンパレータ80Lは、上記上画面コンパレータ80Uと同様、ラインカウンタ50から現在のラスタ走査位置（カレント・ライン・ナンバー）を示す信号を、横ドットカウンタ60から現在の表示画素位置（カレント・横ドット・ナンバー）を示す信号を入力する。また、下画面ハードウィンドウレジスタ・セット70Dから各レジスタ値を入力する。そしてこれらの信号及び各レジスタ値からフレームメモリ20から下画面に表示すべきハードウィンドウの画像データを読み出すべき開始タイミングを指示する第2のハードウィンドウ開始アドレス出力許可信号と、フレームメモリ20から該ハードウィンドウの画像データの読み出しを終了して、再びベース画面の下画面の画像データを読み出すべき開始タイミングを指示する第2のベース画面復活アドレス出力許可信号を下画面アドレス生成回路90Dに出力する。

【0053】図4は、上画面コンパレータ80U及び下画面コンパレータ80Lの一構成例を示すブロック図である。ラインナンバー比較器801は、前記ラインカウンタ50から出力されるカレントナンバーCLNとハードウィンドウ開始ラインレジスタRSL及びハードウィンドウ終了ラインレジスタRELにセットされているデータを入力する。そして、該カレントラインナンバーCLNの値VAL_CLNが該レジスタRSLに設定されている値VAL_RSLと該レジスタRELの値VAL_RELの範囲内にある期間（ $VAL_RSL \leq VAL_CLN \leq VAL_REL$ の期間）、ドット（dot）コンパレータ出力許可信号をアクティブにして第1のド

ットコンパレータ803と第2のドットコンパレータ805に出力する。

【0054】第1のドットコンパレータ803は、上記ドットコンパレータ出力許可信号以外に、前記横ドットカウンタ60から出力されるカレント横ドットナンバーCDNとハードウィンドウ開始横ドットレジスタRSDの設定値を入力する。そして、該カレント横ドットナンバーCDNの値とハードウィンドウ開始横ドットレジスタRSDの値VAL_RSDとを比較して、上記ドットコンパレータ出力許可信号がアクティブになっている期間中、上記2つの値が等しくなった時点で前記ハードウィンドウ開始アドレス許可信号を出力する。この信号は、フレームメモリ20からの画像データの読み出しを、ベース画面の画像データからハードウィンドウの論理画面の画像データへと切り替えるタイミングを指示する信号である。

【0055】第2のドットコンパレータ805は、上記ドットコンパレータ出力許可信号以外に、横ドットカウンタ60から出力されるカレント横ドットナンバーCDNとハードウィンドウ終了横ドットレジスタREDの設定値を入力する。そして、該カレント横ドットナンバーCDNとハードウィンドウ終了横ドットレジスタREDの値VAL_REDとを比較して、上記ドットコンパレータ出力許可信号がアクティブになっている期間中、上記両者の値が等しくなった時点でベース画面復活アドレス出力許可信号を出力する。この信号は、フレームメモリ20からの画像データの読み出しを、ハードウィンドウの論理画面の画像データからベース画面への画像データへ切り替えるタイミングを指示する信号である。

【0056】図5は、上画面アドレス生成回路90Uの一構成例を示すブロック図である。論理画面開始アドレスレジスタRLPSは、フレームメモリ20のハードウィンドウ・バッファエリア24内に格納されている液晶表示装置10の上画面にハードウィンドウとして表示される論理画面の先頭の画素のアドレスが設定される。

【0057】ベース画面Topアドレス生成回路901は、前記ラインカウンタ50からカレントラインナンバーCLNが入力されると共に、前記上画面コンパレータ80Uからベース画面開始アドレス出力許可信号が入力される。そして、該ベース画面出力許可信号がアクティブのときに、フレームメモリ20内のベース画面表示エリア22内に格納されている液晶表示装置10の上画面に表示されるベース画面の上記カレントラインナンバーCLNによって指定される走査線上の先頭の画素のアドレスを生成してフレームメモリ20に出力する。

【0058】ハードライン開始ラインレジスタMは、液晶表示装置10の上画面に表示されるハードウィンドウの先頭の走査ラインが設定されるレジスタである。ハードウィンドウTopアドレス生成回路902は、前記ハードウィンドウ開始アドレス出力許可信号がアクティブ

10

20

30

40

50

になる毎に、論理画面開始アドレスレジスタ R L P S に設定されるアドレスとカレントラインナンバ C L N、及びハードライン開始ラインレジスタ M に設定されるライン情報とを基に、ハードウィンドウの論理画面の各ラインの先頭アドレスを生成して、フレームメモリ 20 に出力する。

【0059】ハードウィンドウ終了横ドットレジスタ ($\beta - 1$) は、液晶表示装置 10 の上画面に表示されるハードウィンドウの最終画素の横ドット位置が設定されるレジスタである。

【0060】ベース画面復活アドレス生成回路 903 は、ベース画面復活アドレス出力許可信号がアクティブになったときに、カレントラインナンバ C L N とハードウィンドウ終了横 d o t レジスタ ($\beta - 1$) に設定されている上記ハードウィンドウの最終画素の横ドット位置情報とを基に、前記上画面にハードウィンドウが表示される各走査ラインにおいて該ハードウィンドウの最終画素に続いて表示されるベース画面の画素が格納されているフレームメモリ 20 のベース画面表示エリア 22 内のアドレスを生成してフレームメモリ 20 に出力する。また、図 4 では、特に図示していないが、ベース画面の各ラインの先頭画素のベース画面表示エリア 22 内での格納アドレスの出力を、上画面アドレス生成回路 90U に対して指示するベース画面開始アドレス出力許可信号も生成する。

【0061】下画面アドレス生成回路 90L も、上記上画面アドレス生成回路 90L と同様な構成となっており、論理画面開始アドレスレジスタ R L P S とハードウィンドウ開始ラインレジスタ M に設定される値だけが異なる。

【0062】次に、上記構成の実施例の動作を説明する。図 6 及び図 7 は、ハードウィンドウの各種表示形態と、該表示形態に対応するフレームメモリ 20 のハードウィンドウ・バッファエリア 24 内でのハードウィンドウの表示データ (画像データ) の格納方法を示す図である。

【0063】図 6 は、2 つのハードウィンドウ 201U、201L がそれぞれ液晶表示装置 10 の上画面液晶パネル 10U 及び下画面液晶表示パネル 10L に別々に表示される例を示す図である。すなわち、この場合には、上画面と下画面に 2 つのハードウィンドウ 201U、201L が分離して表示される。この場合、上画面に表示されるハードウィンドウ 201U を上画面液晶表示パネル 10U 上に表示させるために必要なパラメータは、以下の 4 つである。

【0064】① 上側ハードウィンドウ開始ライン

② 上側ハードウィンドウ終了ライン

③ 上側ハードウィンドウ開始横ドットアドレス

④ 上側ハードウィンドウ終了横ドットアドレス

また、下画面に表示されるハードウィンドウ 201L を

下画面用液晶パネル 10L 上に表示させるために必要なパラメータは、以下の 4 つである。

【0065】⑤ 下側ハードウィンドウ開始ライン

⑥ 下側ハードウィンドウ終了ライン

⑦ 下側ハードウィンドウ開始横ドットアドレス

⑧ 下側ハードウィンドウ終了横ドットアドレス

また、図 6 (b) に示すようなハードウィンドウ表示を実現するために必要となるフレームメモリ 20 のアドレス情報は、以下の 2 つである。

10 【0066】a. フレームメモリ 20 のハードウィンドウ・バッファエリア 24 内に格納されている上側ハードウィンドウの論理画面の表示データの格納開始アドレス
b. 上記ハードウィンドウ・バッファエリア 24 内に格納されている下側ハードウィンドウの論理画面の表示データの格納開始アドレス

次に、図 7 は、一つのハードウィンドウが上画面液晶パネル 10U と下画面液晶パネル 10L にまたがって連続した一画面として表示される例を示す図である。

20 【0067】この場合にも、上記①～⑧および a. b. のパラメータが必要になる。但し、この場合には上記②と⑥のパラメータの値は一致する。図 8 は、以後の説明で使用するフレームメモリ 20 の具体的な構成例を示す図である。このフレームメモリ 20 は、同図 (a) に示すように横幅が 1024 ドット構成となっている。そして、その先頭には、640 ドット \times 480 ラインの容量のベース画面表示エリア 22 が設けられている。また、フレームメモリ 20 のハードウィンドウ・バッファエリア 24 には、同図 (b) に示すような縦方向においては上画面上で第 M ラインから第 239 ライン (最終ライン)
30 に、下画面上で第 0 ライン (最初のライン) から第 N ラインに表示され、また、横方向においては α ドットから ($\beta - 1$) ドット目に表示される矩形形状のハードウィンドウの論理画面の画像データが格納される (尚、ここでは、 $M < N$ 、 $\alpha < 320$ 、 $\beta > 320$ であり、かつ M は偶数であると仮定する)。この画像データは、上記ハードウィンドウ・バッファエリア 24 内にフレームメモリ 20 のアドレス U から同図 (b) に示す画面イメージと同一イメージでビット・マッピングされて格納されている。したがって、同図 (a) に示すように、ハードウィンドウの上画面の論理画面の先頭アドレスはフレームメモリ 20 上ではアドレス U となり、下画面の論理画面の先頭アドレスはフレームメモリ 20 上ではアドレス {U + (240 - M) \times 1024} となる。これは、ハードウィンドウの上画面と下画面の論理画面の先頭ラインのライン差が (240 - M) であり、かつライン 1 つ分のアドレスの差がフレームメモリの横の幅と同じ 1024 ビットだからである。

【0068】次に、上記図 8 に示すモデルを用いて、本実施例の表示制御動作を説明する。図 9 は、液晶表示装置 10 に表示される最初のフレーム (第 1 フレーム) の

第 0 ライン（液晶表示装置 1 0 上では上画面の第 0 ライン）の画像データがフレームメモリ 2 0 から読み出されるときの状態を示したものである。また、図 1 0 は、図 9 に示す動作を説明するタイミングチャートである。

【 0 0 6 9 】 図 1 0 (a) は、液晶表示装置タイミング信号生成回路 4 0 からフレームメモリ 2 0 のシリアル・コントロール端子 S C に加わるシリアル読み出しクロックのタイミングチャートである。また、同図 (b) は、上画面アドレス生成回路 9 0 U からフレームメモリ 2 0 に加わるアドレス信号のタイミングチャートである。

【 0 0 7 0 】 また、同図 (c) 、 (d) は、それぞれ上画面コンパレータ 8 0 U から上画面アドレス生成回路 9 0 U に加わるハードウィンドウ開始アドレス出力許可信号とベース画面復活アドレス出力許可信号のタイミングチャートである。さらに、同図 (e) は、同図 (a) に示すシリアル読み出しクロックに同期してフレームメモリ 2 0 のシリアルポートからシリアルに読み出されてラインバッファ部 3 0 の入力ポート 3 1 にシリアル入力される第 0 ラインの画像データの出力タイミングチャートである。さらに、同図 (f) は、液晶表示装置タイミング信号生成回路 4 0 から液晶表示装置 1 0 に加わる、該液晶表示装置 1 0 がラインバッファ部 3 0 から画像データを入力するために用いられるクロックのタイミングチャートである。また、同図 (g) は、ラインバッファ部 3 0 の上画面用ラインバッファ 3 4 U または 3 5 U から液晶表示装置 1 0 の上画面液晶表示パネル 1 0 U に入力されるデータのタイミングチャートである。そして、同図 (h) はラインバッファ部 3 0 の下画面用ラインバッファ 3 4 L または 3 5 L から液晶表示装置 1 0 の下画面液晶表示パネル 1 0 L に入力される画像データのタイミングチャートである。

【 0 0 7 1 】 図 1 0 (a) に示すフレームメモリシリアル読み出しクロックに先立って同図 (b) に示すように上画面アドレス生成回路 9 0 U から第 0 ラインの先頭のアドレスがフレームメモリ 2 0 に入力される。そして、同図 (a) に示すフレームメモリシリアル読み出しクロックがフレームメモリ 2 0 に入力されると、同図 (c) に示すように該フレームメモリ 2 0 のベース画面表示エリア 2 2 から第 0 ラインの画像データが順次、そのシリアルポートからラインバッファ部 3 0 へ出力される。この出力された画像データは直ちにラインバッファ部 3 0 の第 1 の上画面用ラインバッファ 3 4 U に格納される。この時、同図 (g) 、 (h) に示すように、上下画面用の第 2 のラインバッファ（奇数ライン用のバッファ） 3 4 L 、 3 5 L からは液晶表示装置 1 0 に対して、その格納データが同時に出力される。この格納データの内容はまだ確定したものではなく、表示されるべき画像データではないがすぐに次のラインの画像データが出力されるので実用上問題は無い（確定していないデータが出力されるのは数 1 0 ～ 数 1 0 0 μ 秒にすぎない）。この第 0 ラインにはハ

ードウィンドウは表示されないで、フレームメモリ 2 0 にアドレスが入力されるのは最初の 1 回のみであり、以降はフレームメモリ読み出しクロックに同期して、フレームメモリ 2 0 内部で読み出しアドレスが自動的にインクリメントされ、フレームメモリ 2 0 からは第 0 ラインの最後の 6 3 9 ドット目の画像データまで、連続してシリアル出力される。

【 0 0 7 2 】 続いて、フレームメモリ 2 0 へのアドレス出力が、上画面アドレス生成回路 9 0 U から下画面アドレス生成回路 9 0 L に切り換わり、図 1 1 に示されるようにフレームメモリ 2 0 から液晶表示装置 1 0 の表示画面の第 2 4 0 ライン（下画面の第 0 ライン）に表示される画像データがラインバッファ部 3 0 の第 1 の下画面用ラインバッファ 3 4 L に出力される。図 1 2 は、この画像データ出力の動作を説明するタイミングチャートであり、同図 (a) ～ (h) は図 9 (a) ～ (h) と同様である。

【 0 0 7 3 】 このラインはハードウィンドウを表示するエリアに含まれているので ($\alpha - 1$) ドット目まではベース画面の画像データが出力されるが、 α ドット目から ($\beta - 1$) ドット目まではハードウィンドウとして表示される論理画面の画像データを出力しなければならない（図 1 2 (a) 、 (e) 参照）。このため、下画面アドレス生成回路 9 0 L は、図 1 2 (b) に示すように下画面コンパレータ 8 0 L から出力されるハードウィンドウ開始アドレス許可信号に同期して、フレームメモリ 2 0 に対してベース画面の第 2 4 0 ラインの ($\alpha - 1$) ドット目の画像データの格納アドレスを出力した後、第 2 4 0 ラインに表示されるハードウィンドウの論理画面の先頭画素の画像データの格納アドレス、すなわち $\{U + (240 - M) \times 1024\}$ のアドレス値をフレームメモリ 2 0 へ出力する（図 1 2 (b) 、 (c) 参照）。これ以降、フレームメモリ 2 0 は、図 1 2 (a) に示すフレームメモリシリアル読み出しクロックに同期して、上記アドレス値をインクリメントして図 1 2 (e) に示すように第 2 4 0 ラインの α ドット目から ($\beta - 1$) ドット目までのハードウィンドウの論理画面の画像データをラインバッファ部 3 0 の第 1 の下画面用ラインバッファ 3 4 L に出力する。

【 0 0 7 4 】 上述のようにして、フレームメモリ第 2 4 0 ラインの ($\beta - 1$) ドット目までに表示されるハードウィンドウの論理画面の画像データが出力された後、図 1 2 (d) に示すように下画面コンパレータ 8 0 D からベース画面復活アドレス出力許可信号が出力される。下画面アドレス生成回路 9 0 D は、この信号が加わると、図 1 2 (b) に示すようにベース画面の第 2 4 0 ラインの β ドット目の画像データの格納アドレスをフレームメモリ 2 0 へ出力する。これにより、図 1 2 (e) に示すように、フレームメモリ 2 0 は、図 1 2 (b) に示すようにフレームメモリ読み出しクロックに同期してそのシリアルポートからベース画面表示エリア 2 2 に格納されている

第 240 ラインの β ドット目から 1023 ドット目までのベース画面の画像データを上記第 1 の下画面用ラインバッファ 34U に出力する。

【0075】以上の動作により、図 10 に示すようにラインバッファ部 30 には液晶表示装置 10 の上・下液晶表示パネル 10U、10D の第 0 ラインに表示されるべき画像データが全て格納される。この状態において、これらの画像データは、まだ液晶表示装置 10 へは出力されない。したがって、図 12 (g)、(h) に示すように、該液晶表示パネル 10U、10L にはまだ確定していないでたらめなデータが出力される。

【0076】そして、このようにして、ラインバッファ部 30 に液晶表示装置 10 の上・下画面の第 1 ラインに表示されるべき画像データが全て格納されると、同図 (f) に示す液晶表示部タイミング信号生成回路 40 から加わる液晶表示装置データ入力クロックに同期して、液晶表示装置 10 の 2 つの液晶表示パネル 10U、10L は、それぞれ、ラインバッファ部 30 の第 1 の上画面用ラインバッファ 34U と、第 1 の下画面用ラインバッファ 34L から画像データをシリアル入力し、それぞれの表示画面の第 0 ラインにそれらの画像データを表示させる。

【0077】このように、フレームメモリ 20 からラインバッファ部 30 に上・下液晶表示パネル 10U、10L の同一ラインに表示される画像データが揃った時点で、ラインバッファ部 30 から該上・下液晶表示パネル 10U、10L に同時に当該画像データが出力される。このため、1 つのシリアルポートした持たないフレームメモリ 20 はラインバッファ部 30 が液晶表示装置 10 に画像データを出力する 2 倍の速度でラインバッファ部 30 に対して画像データを出力する。すなわち、図 12 (a)、(f) に示すように、フレームメモリ 20 のシリアル読み出しクロックは、液晶表示装置 10 のデータ入力クロックの 2 倍の周波数となっている。

【0078】図 13 と図 14 は、フレームメモリ 20 から液晶表示装置 10 の第 1 ライン（上画面の第 1 ライン）の画像データがラインバッファ部 30 に読み込まれる動作を説明する図である。また、図 15 と図 16 は、フレームメモリ 20 から液晶表示装置 10 の第 241 ライン（下画面の第 1 ライン）の画像データがラインバッファ部 30 に読み込まれる動作を説明する図である。

【0079】上記第 1 ラインと上記第 241 ラインの画像データの読み込み動作は、基本的には上述した第 0 ラインと第 240 ラインの画像データのときと同様であるが、上記第 1 ラインと上記第 241 ラインの画像データは、今度は、それぞれ第 2 の上画面用ラインバッファ 35U と第 2 の下画面用ラインバッファ 35D に格納される。また、この画像データの読み込みと並行して、ラインバッファ部 30 の第 1 の上画面用ラインバッファ 34U と第 1 の下画面用ラインバッファ 34D から、それぞ

れ液晶表示装置 10 の上画面用液晶表示パネル 10U と下画面表示用パネル 10D へ第 0 ラインと第 240 ラインの画像データがシリアル出力される（図 14 (g)、(h) 及び図 16 (g)、(h) 参照）。

【0080】続いて、図 17 に示すようにフレームメモリ 20 から第 2 ラインの画像データが読み出されて、該画像データが第 1 の上画面用ラインバッファ 34U に格納されると同時に、第 2 の上画面用ラインバッファ 35L と第 2 の下画面用ラインバッファ 35D から、それぞれ第 1 ライン及び第 241 ラインの前半の画像データが上画面用表示パネル 10L と下画面用表示パネル 10D に入力されて、それらの画面上に表示される。このときの、各ブロックの動作を説明するタイミングチャートが図 18 である。

【0081】次に、図 19 に示すように、フレームメモリ 20 から第 242 ラインの画像データが読み出されて、該画像データが第 1 の下画面用ラインバッファ 34L に格納されると同時に、第 2 の上画面用ラインバッファ 35U と第 2 の下画面用ラインバッファ 35L から、それぞれ第 1 ライン及び第 241 ラインの後半の画像データが上画面用表示パネル 10U と下画面用表示パネル 10L に入力されて、それらの画面上に表示される。このときの、各ブロックの動作を説明するタイミングチャートが図 20 である。

【0082】以後、同様にして、ラインバッファ部 30 内において、画像データが格納されるラインバッファが交互に切り換えられながら、フレームメモリ 20 から第 3 ライン以降及び第 243 ライン（下画面の第 3 ライン）以降の画像データがラインバッファ部 30 に入力される。また、該画像データの入力と同時に、ラインバッファ部 30 から第 2 ライン以降及び第 242 ライン（下画面の第 2 ライン）以降の画像データが、それぞれ上画面用表示パネル 10U と下画面用表示パネル 10L に入力され、それらの画面上に表示される。

【0083】このようにして、第 0 ラインから第 (M-1) ラインまでの画像表示においては、フレームメモリ 20 からラインバッファ部 30 の上画面用ラインバッファ 34U、35U への画像データ読み出しは、ベース画面表示エリア 22 からのみなされる。

【0084】しかし、第 M ラインからは上画面用液晶表示パネル 10U においてもハードウィンドウ論理画面の表示が開始される（図 8 参照）。したがって、次に、図 21 乃至図 24 を参照しながら、フレームメモリ 20 から第 M ラインの画像データがラインバッファ部 30 に読み込まれ、さらに、その画像データが該ラインバッファ部 30 から上画面用液晶表示パネル 10U に転送されて表示されるまでの動作を説明する。

【0085】この場合の基本的な動作は、上述した下画面用液晶表示パネル 10L に第 0 ラインから第 N ラインまでの画像が表示される場合と同様である。すなわち、

19

図21及び図22に示すように、まず、ベース画面表示エリア22から第Mラインの第0ドット目から $(\alpha-1)$ ドット目までの画像データが読み出され、これが第1の上画面用ラインバッファ34Uに格納される(図22(e)参照)。続いて、上画面コンパレータ80Uから図22(c)に示すように、ハードウィンドウ開始アドレス出力許可信号が上画面アドレス生成回路90Uに出力され、該上画面アドレス生成回路90Uは該信号の入力を受けて、フレームメモリ20へハードウィンドウ・バッファメモリ24の第Mラインの α ドット目の画像データの格納アドレスUを出力する(図22(b)、(c)参照)。これにより、フレームメモリ20は、図22(a)に示すフレームメモリシリアル読み出しクロックに同期して上記アドレスUを内部で順次インクリメントして、そのシリアルポートからハードウィンドウ・バッファメモリ24に格納されている第Mラインの α ドット目から $(\beta-1)$ ドット目までのハードウィンドウの論理画面の画像データをラインバッファ部30の第1の上画面用ラインバッファ34Uへ出力する(図22(e)参照)。続いて、上画面コンパレータ80Uからベース画面復活アドレス出力許可信号が上画面アドレス生成回路90Uに対して出力され(図22(d)参照)、該上画面アドレス生成回路90Uはフレームメモリ20に対してそのベース画面表示エリア22内のベース画面の第Mラインの β ドット目の画像データの格納アドレスを出力する(図22(b)参照)。これにより、フレームメモリ20は、フレームメモリシリアル読み出しクロックに同期して該格納アドレスを順次インクリメントして、そのシリアルポートから第Mラインの β ドット目から639ドット目までのベース画面の画像データを上記第1の上画面用ラインバッファ34Uへ出力する(図21(e)参照)。以上の動作により、ラインバッファ部30の第1の上画面用ラインバッファ34Uに上画面用表示パネル10Uの第Mラインに表示されるべき画像データが格納される。

【0086】以上のようにして、第Mラインの画像データが第1の上画面用ラインバッファ34Uへ格納されている間、図21に示すように、ラインバッファ部30からは第2の上画面用ラインバッファ35Uと第2の下画面用ラインバッファ35Lからそれぞれ第 $(M-1)$ ラインの画像データと $\{240+(M-1)\}$ ラインの画像データの前半部分が、上画面用液晶表示パネル10Uと下画面用液晶表示パネル10Lへ出力されて画面表示される。

【0087】図23と図24は、フレームメモリ20からラインバッファ部30の第2の下画面用ラインバッファ部35Lに第 $(240+M)$ ラインの画像データが読み出される動作を説明する図である。この第 $(240+M)$ ラインの画像データは、ベース画面の画像データであるため、図24(c)、(d)に示すように下画面コンパレータ80Dからはハードウィンドウ開始アドレス許可

20

信号及びベース画面復活アドレス出力許可信号は出力されない。したがって、フレームメモリ20は下画面アドレス生成回路90Dからベース画面表示エリア22内の第 $(240+M)$ ラインの先頭画素の画像データの格納アドレスが入力されると(図24(b)参照)、該格納アドレスを図24(a)に示すフレームメモリシリアル読み出しクロックに同期して順次インクリメントし、そのシリアルポートからラインバッファ部30の第1の下画面用ラインバッファ34Lへ第 $(240+M)$ ラインのベース画面の画像データを出力する(図24(e)参照)。これにより、該第1の下画面用ラインバッファ34Lには、下画面用表示パネル10Lに表示されるべき第 $(240+M)$ ラインのベース画面の画像データが格納される。また、これと同時に、第2の上画面用ラインバッファ35Uと第2の下画面用ラインバッファ35Lからは、それぞれ第 $(M-1)$ ラインの画像データと第 $\{240+(M-1)\}$ ラインの画像データの後半部分が上画面用液晶表示パネル10Uと下画面用表示パネル10Lへ出力され、それらの画面上に表示される(図23と図24(g)、(h)参照)。

【0088】続いて、フレームメモリ20からラインバッファ部30に対して第 $(M+1)$ ラインの画像データ、及び第 $\{240+(M+1)\}$ ラインの画像データが順次出力されると共に、ラインバッファ部30から液晶表示装置10へ第Mラインの画像データと第 $(240+M)$ ラインの画像データが出力される。これらの動作を示したのが図25乃至図28である。この場合の動作は、上画面アドレス生成回路90Uと下画面アドレス生成回路90Lからフレームメモリ20に対して出力されるアドレスが異なるだけで、それ以外は、上述した図21乃至図24に示された動作とほぼ同じである。

【0089】以後同様にして、上画面においては、第 $(M+2)$ ラインから第238ラインまでの画像データの読み出しと第 $(M+1)$ ラインから第237ラインまでの画面表示がなされ、下画面においては第 $\{240+(M+2)\}$ ラインから第 $\{240+(M+238)\}$ ラインまでの画像データの読み出しと第 $\{240+(M+1)\}$ ラインから第 $(240+237)$ ラインまでの画面表示がなされる。

【0090】続いて、図29に示すようにフレームメモリ20から第239ラインの画像データが該ラインバッファ部30の第2の上画面用ラインバッファ35Uに入力される。そして、これと同時に第1の上画面用ラインバッファ34Uから第238ラインの前半部分の画像データが液晶表示装置10の上画面用液晶表示パネル10Uへ、第1の下画面用ラインバッファ34Lから第477ラインの前半部分の画像データが下画面用液晶表示パネル10Lへ入力される。このときの各ブロックの動作タイミングチャートが図30である。同図に示すように、このときの動作は上述した図26を用いて説明した

10

20

30

40

50

ときと同様である。

【0091】次に、図31に示すようにフレームメモリ20から第479ラインの画像データがラインバッファ部30の第2の下画面用ラインバッファ35Lに入力される。そして、これと同時に第1の上画面用ラインバッファ34Uから第238ラインの後半部分の画像データが液晶表示装置10の上画面用液晶表示パネル10Uへ、第1の下画面用ラインバッファ34Lから第478ラインの後半部分の画像データが下画面用液晶表示パネル10Lへ入力される。このときの各ブロックの動作タイミングチャートが図32である。同図に示すように、このときの動作は上述した図28を用いて説明したときと同様である。

【0092】以上のようにして、フレームメモリ20から上画面と下画面の第239ラインの画像データが読み出され、該画像データがラインバッファ部30に格納される。また、これと同時に液晶表示装置10上では上画面と下画面にそれぞれ、第237ラインと第478ラインの画像が表示される。

【0093】以上のようにして、液晶表示装置10のハードウィンドウとして表示される論理画面を含む第1フレームの全画像データがフレームメモリ20からラインバッファ部30へ読み出される。そして、この時点でフレームメモリ20のベース画面表示エリア22とハードウィンドウ・バッファエリア24には、既に第2フレームの画像データが書き込まれている。そして、再び、上記と同様にして、該第2フレームについても、フレームメモリ20からラインバッファ部30への画像データの読み出しが第0ラインから開始される。

【0094】このときの動作を説明する図が、図33と図34である。すなわち、この場合の動作は、前述した図9と図10に示されたときとほぼ同様であるが、ラインバッファ部30の第2の上画面用ラインバッファ35Uと第2の下画面用ラインバッファ35Lには未確定データの代わりに、それぞれ、第フレームの第240ラインと第479ラインの画像データが格納されている。そして、図34(e)、(g)、(h)に示すようにフレームメモリ20から第1の下画面用ラインバッファ34Uに第2フレームの第0ラインの画像データが格納されると同時に、第2の上画面用ラインバッファ35Uと第2の下画面用ラインバッファ35Lからそれぞれ第240ラインと第479ラインの前半部分の画像データが読み出されて、これらの画像データが液晶表示装置10の上画面用表示パネル10Uと下画面用表示パネル10Lに表示される。

【0095】次に、図35に示すように、フレームメモリ20から第2フレームの第240ラインの画像データが読み出されて、ラインバッファ部30の第1の下画面用ラインバッファ35Uに格納されると同時に、第2の上画面用ラインバッファ34Lと第2の下画面用ライン

バッファ35Lから、それぞれ第1フレームの第239ラインの後半部分の画像データと第479ラインの後半部分の画像データが上画面用表示パネル10Lと下画面用表示パネル10Dに入力されて、液晶表示装置10には第1フレームの画像全体が表示される。このときの、各ブロックの動作を説明するタイミングチャートが図36である。

【0096】尚、上記実施例では2枚の液晶表示パネル10U、10Lにより一画面を構成するようにしているが、本発明はこれに限定されることなくさらに多数の液晶表示パネルによって一画面が構成される液晶表示装置にも適用可能なものである。この場合には、例えば、各液晶表示パネルに対応して第1及び第2のラインバッファを設けるようにすればよい。また、本実施例では、各液晶表示パネル10U、10L毎に2つのラインバッファを設けるようにしているが、該2つのラインバッファを1つのラインバッファで代用するようにすることも可能である。この場合、例えば、該ラインバッファの容量を一走査ラインよりも大きくとり、該ラインバッファにおいて画像データの入力と出力を非同期で行うようにすればよい。さらに、本発明は、必ずしも、液晶表示装置にのみ限定されるものではなく、その他の形態の複数の表示パネルによって一画面が構成される表示装置全てに適用可能なものである。また、さらに、一画面上に表示されるハードウィンドウの数も1つに限定されるものではなく、ベース画面の中に複数のハードウィンドウが同時に表示される表示装置にも適用可能なものである。

【0097】

【発明の効果】本発明によれば、フレームメモリから読み出される画像データを、ラインバッファを介して複数の表示パネルの中の任意の表示パネルに入力させることが可能となるので、複数の表示パネルによって一画面が構成される表示装置においてハードウィンドウを画面上のあらゆる位置に表示することが可能になる。また、上記ハードウィンドウの表示をハードウェア制御により行えるので、ハードウィンドウを表示するアプリケーションソフトウェアを高速化することが可能となる。また、これにより、ハードウィンドウを表示する表示装置を使用するコンピュータシステムの高速化も可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶表示制御装置の回路構成を示すブロック図である。

【図2】ラインバッファ部の一構成例を示す図である。

【図3】上画面及び下画面ハードウィンドウレジスタ・セットの構成を示す図である。

【図4】上画面コンパレータ及び下画面コンパレータの一構成例を示すブロック図である。

【図5】上画面及び下画面アドレス生成回路の一構成例を示すブロック図である。

【図6】2つのハードウィンドウがそれぞれ液晶表示装

置の上画面液晶パネル及び下画面液晶表示パネルに別々に表示される例を示す図である。

【図 7】一つのハードウィンドウが上画面液晶パネルと下画面液晶パネルにまたがって連続した一画面として表示される例を示す図である。

【図 8】本実施例で使用するフレームメモリ 20 の具体的な構成例を示す図である。

【図 9】液晶表示装置に表示される最初のフレームの第 0 ラインの画像データがフレームメモリ 20 から読み出されるときの状態を示す図である。

【図 10】図 9 に示す動作を説明するタイミングチャートである。

【図 11】フレームメモリから液晶表示装置の表示画面の第 240 ラインに表示される画像データがラインバッファ部の第 1 の下画面用ラインバッファに出力される状態を説明する図である。

【図 12】図 11 に示す動作を説明するタイミングチャートである。

【図 13】フレームメモリから液晶表示装置の第 1 ラインの画像データがラインバッファ部に読み込まれる動作を説明する図である。

【図 14】図 13 に示す動作を説明するタイミングチャートである。

【図 15】フレームメモリから液晶表示装置の第 241 ラインの画像データがラインバッファ部に読み込まれる動作を説明する図である。

【図 16】図 15 に示す動作を説明するタイミングチャートである。

【図 17】フレームメモリから第 2 ラインの画像データが読み出されて、該画像データが第 1 の上画面用ラインバッファに格納される動作を説明する図である。

【図 18】図 17 に示す動作を説明するタイミングチャートである。

【図 19】フレームメモリから第 242 ラインの画像データが読み出されて、該画像データが第 1 の下画面用ラインバッファに格納される動作を示す図である。

【図 20】図 19 に示す動作を説明するタイミングチャートである。

【図 21】フレームメモリから第 M ラインの画像データが読み出されて、これが第 1 の上画面用ラインバッファに格納される動作を示す図である。

【図 22】図 21 に示す動作を説明するタイミングチャートである。

【図 23】フレームメモリからラインバッファ部の第 2 の下画面用ラインバッファ部に第 $(240 + M)$ ラインの画像データが読み出される動作を説明する図である。

【図 24】図 23 に示す動作を説明するタイミングチャートである。

【図 25】フレームメモリからラインバッファ部の第 2 の上画面用ラインバッファに第 $(M + 1)$ ラインの画像

ータが読み込まれる動作を示す図である。

【図 26】図 25 に示す動作を説明するタイミングチャートである。

【図 27】フレームメモリからラインバッファ部の第 2 の下画面用ラインバッファに第 $\{240 + (M + 1)\}$ ラインの画像データが読み込まれる動作を示す図である。

【図 28】図 27 に示す動作を説明するタイミングチャートである。

10 【図 29】フレームメモリから第 239 ラインの画像データが該ラインバッファ部の第 2 の上画面用ラインバッファに読み込まれる動作を示す図である。

【図 30】図 29 に示す動作を説明するタイミングチャートである。

【図 31】フレームメモリから第 479 ラインの画像データがラインバッファ部の第 2 の下画面用ラインバッファに入力される動作を示す図である。

【図 32】図 31 に示す動作を説明するタイミングチャートである。

20 【図 33】フレームメモリから第 2 フレームの第 0 ラインの画像データがラインバッファ部の第 1 の上画面用ラインバッファに読み込まれる動作を示す図である。

【図 34】図 33 に示す動作を説明するタイミングチャートである。

【図 35】フレームメモリから第 2 フレームの第 240 ラインの画像データが読み出されて、ラインバッファ部の第 1 の下画面用ラインバッファに格納される動作を示す図である。

【図 36】図 35 に示す動作を説明するタイミングチャートである。

【図 37】CRT ディスプレイにおける画面表示の一般的な方式を説明する図である。

【図 38】図 37 に示す CRT ディスプレイにおける画面表示に用いられるフレームメモリの構成図である。

【図 39】ハードウィンドウの概念を説明する図である。

【図 40】図 38 に示すフレームメモリ内での上記ハードウィンドウの画像データの格納方法を説明する図である。

40 【図 41】表示画面上のベース画面の一部にハードウィンドウが表示されている状態を示す図である。

【図 42】図 41 に示すハードウィンドウ表示の際の、フレームメモリからの画像データの読み出し順序を説明する図である。

【図 43】現在、一般に情報処理装置のディスプレイとして用いられている液晶表示装置の構成及びこれに対応するフレームメモリの構成を示す図である。

【図 44】上画面用および下画面用のフレームメモリの内部構成と上記 2 つのフレームメモリの物理的メモリ空間を CPU がアクセスする論理的メモリ空間に変換する

25

方式を説明する図である。

【図 4 5】上画面のパネルにハードウィンドウを表示する場合の例を示す図である。

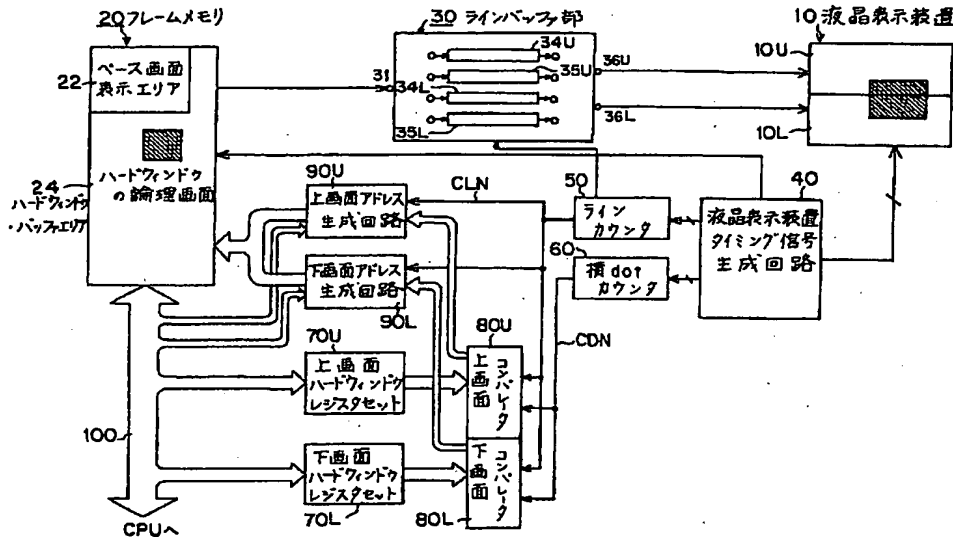
【図 4 6】従来の液晶表示装置ではハードウィンドウを表示することが不可能となる一例を示す図である。

【符号の説明】

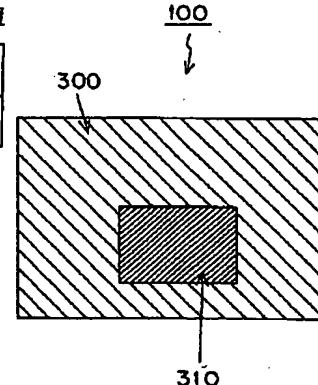
- | | | | |
|-------|------------------|-------|---------------------|
| 1 0 | 液晶表示装置 | 3 3 | 第 2 のデマルチプレクサ |
| 1 0 U | 上画面用液晶表示パネル | 3 4 U | 第 1 の上画面用ラインバッファ |
| 1 0 L | 下画面用液晶表示パネル | 3 4 L | 第 1 の下画面用ラインバッファ |
| 2 0 | フームメモリ | 3 5 U | 第 2 の上画面用ラインバッファ |
| 2 2 | ベース画面表示エリア | 3 5 L | 第 2 の下画面用ラインバッファ |
| 2 4 | ハードウィンドウ・バッファエリア | 4 0 | 液晶表示装置タイミング信号生成回路 |
| 3 0 | ラインバッファ部 | 5 0 | ラインカウンタ |
| 3 2 | 第 1 のデマルチプレクサ | 6 0 | 横ドットカウンタ |
| | | 7 0 U | 上画面ハードウィンドウレジスタ・セット |
| | | 7 0 L | 下画面ハードウィンドウレジスタ・セット |
| | | 8 0 U | 上画面コンパレータ |
| | | 8 0 L | 下画面コンパレータ |
| | | 9 0 U | 上画面アドレス生成回路 |
| | | 9 0 L | 下画面アドレス生成回路 |

26

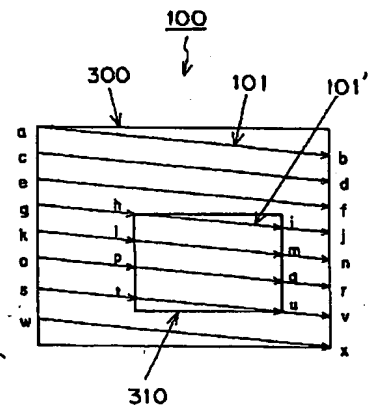
【図 1】



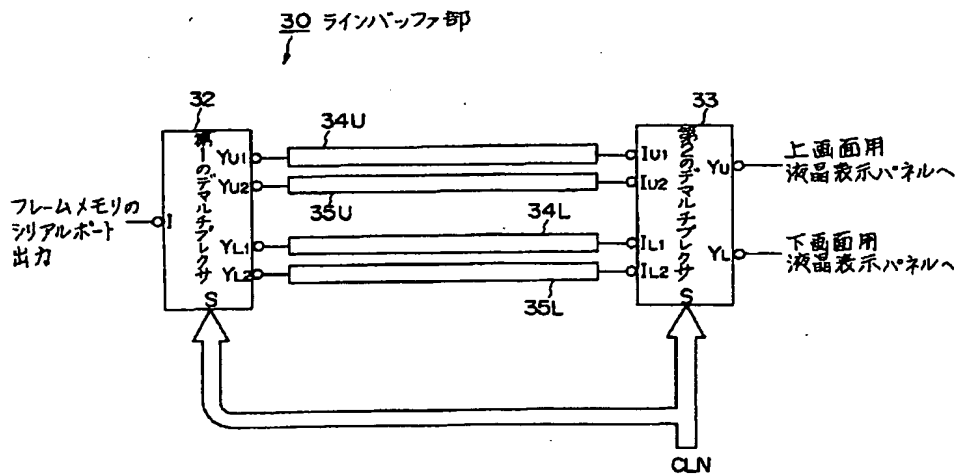
【図 3 9】



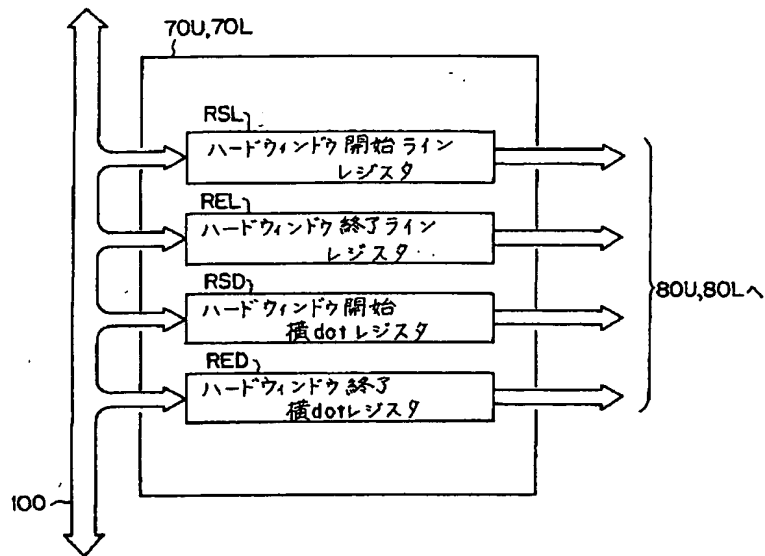
【図 4 1】



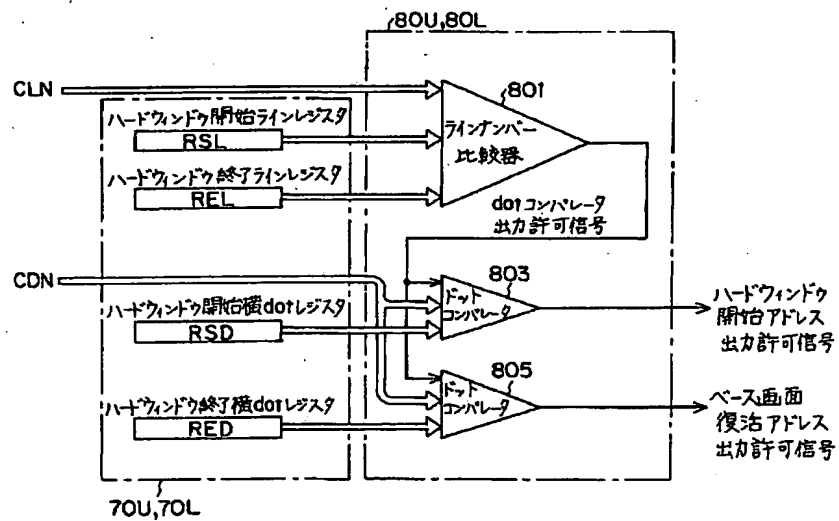
【図 2】



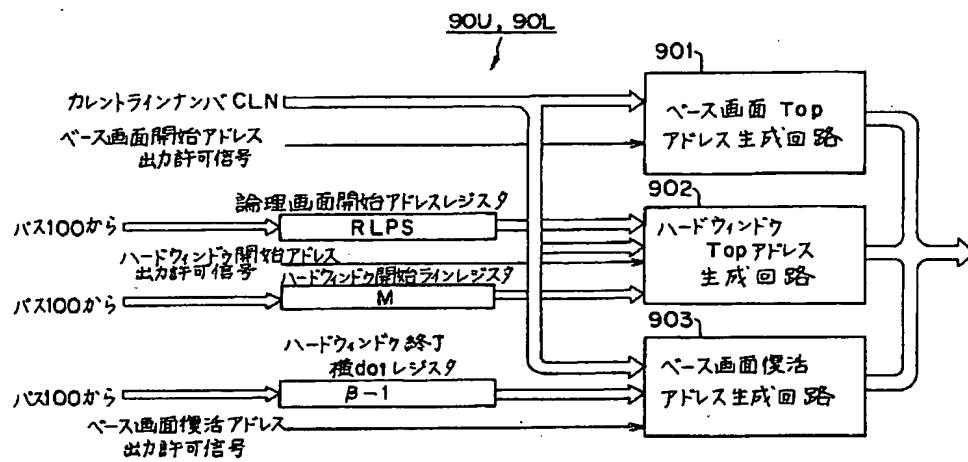
【図 3】



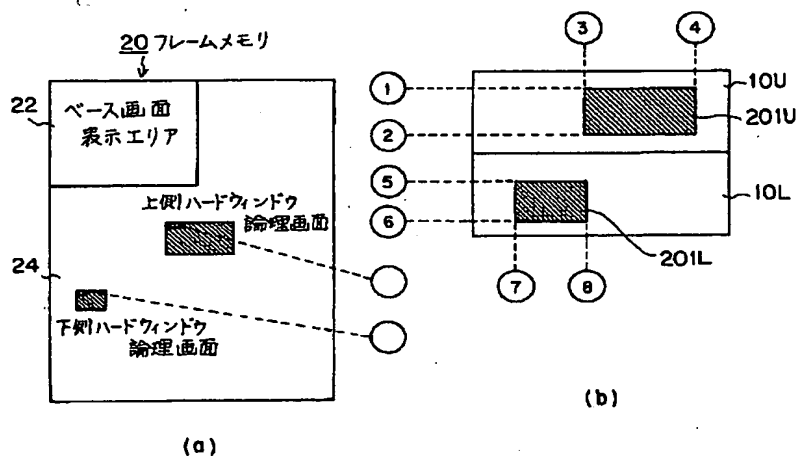
【図 4】



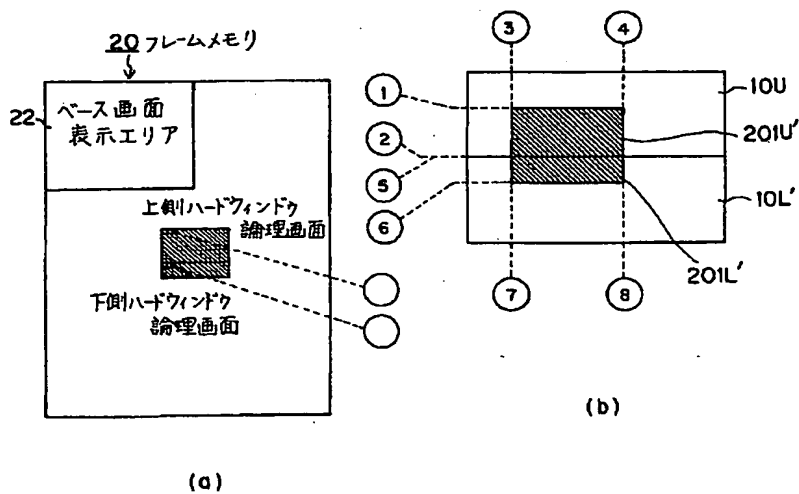
【図 5】



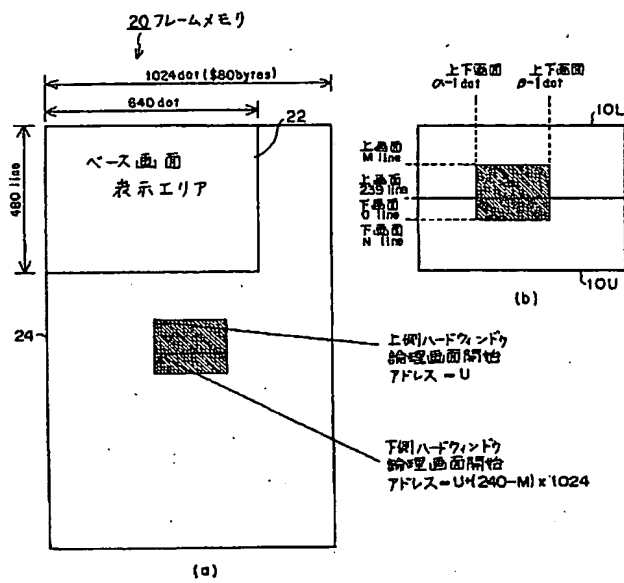
【図 6】



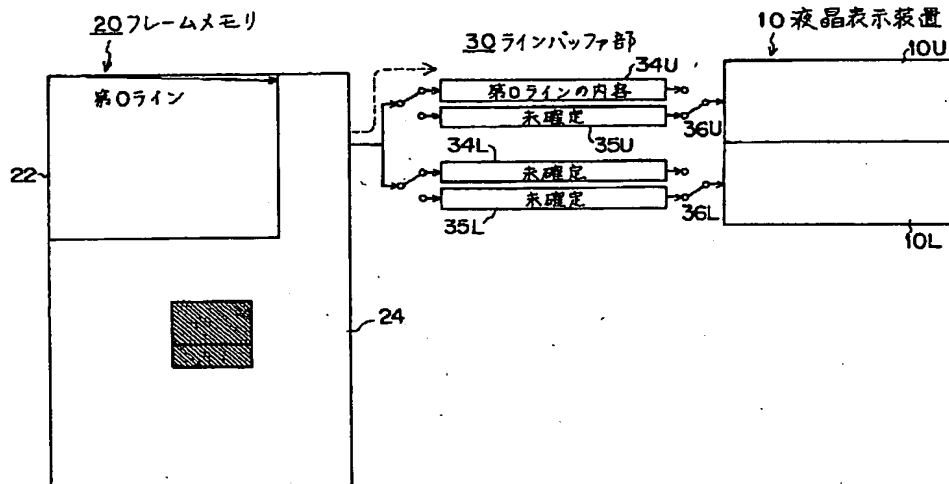
【図 7】



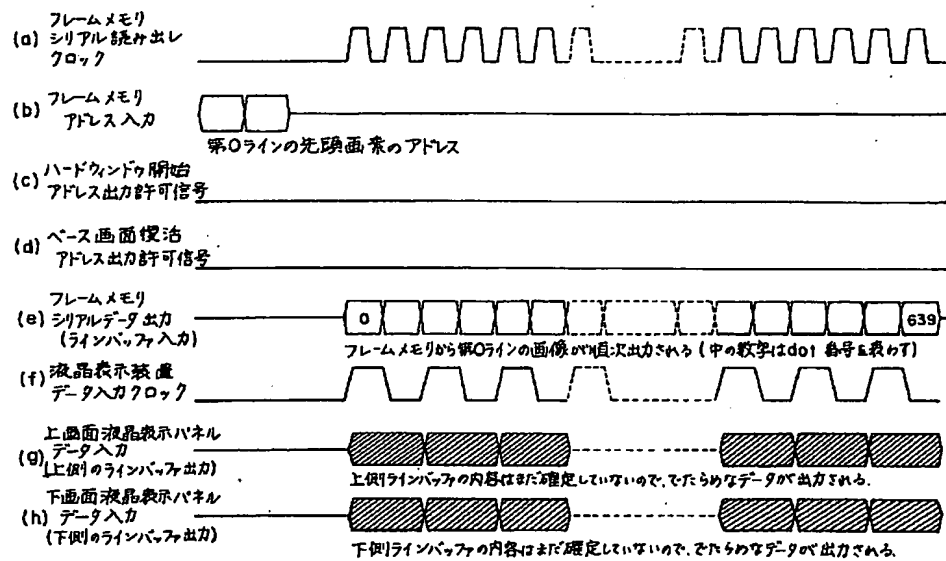
【図 8】



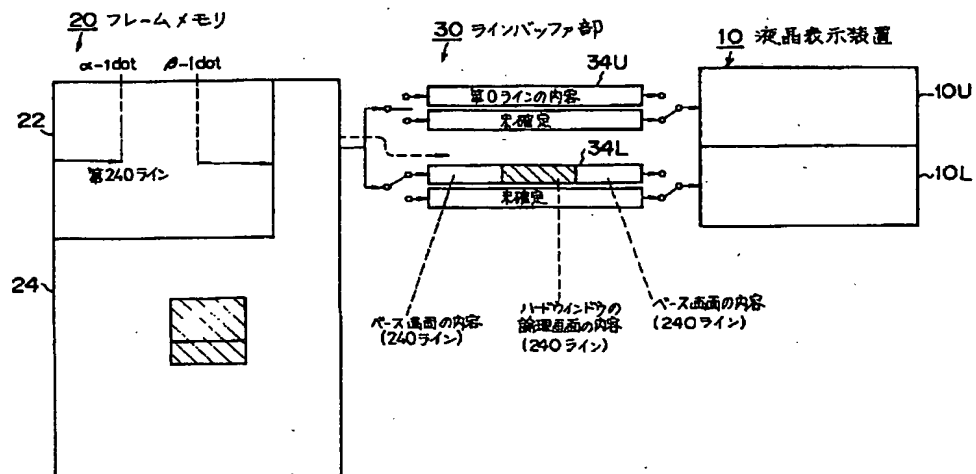
【図 9】



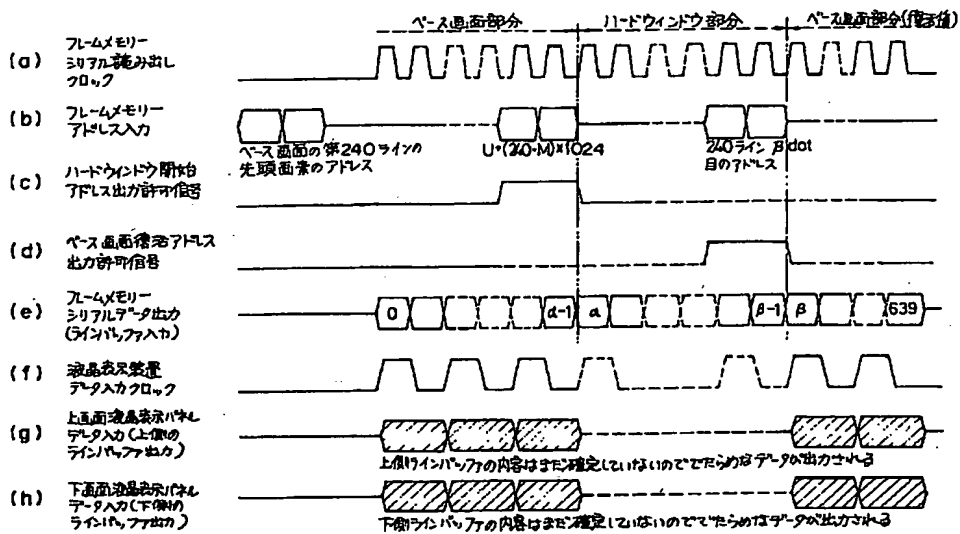
【図 10】



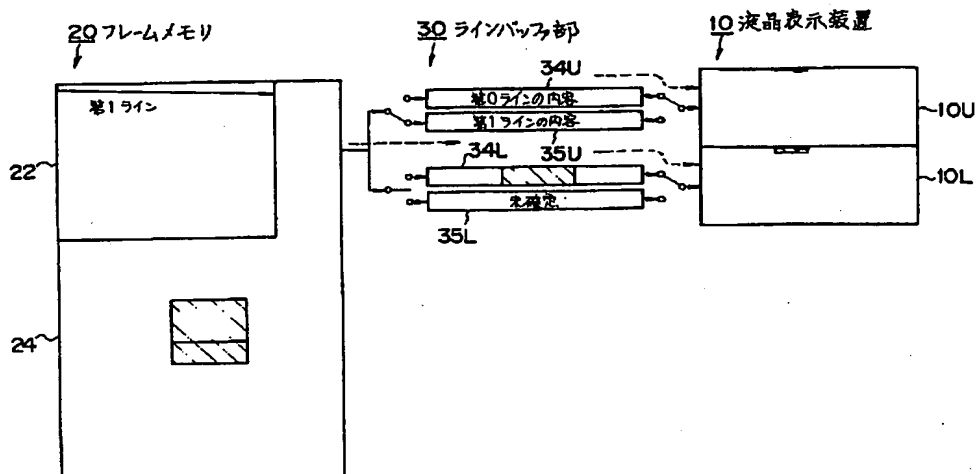
【図 11】



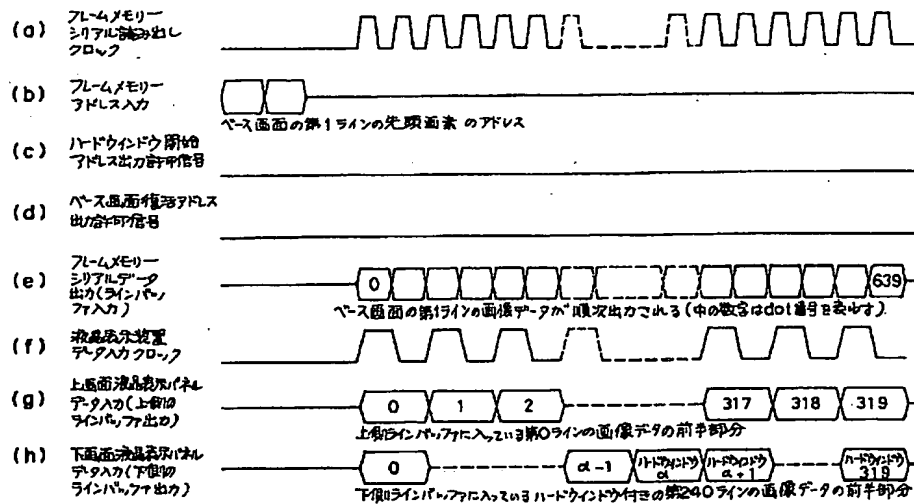
【図12】



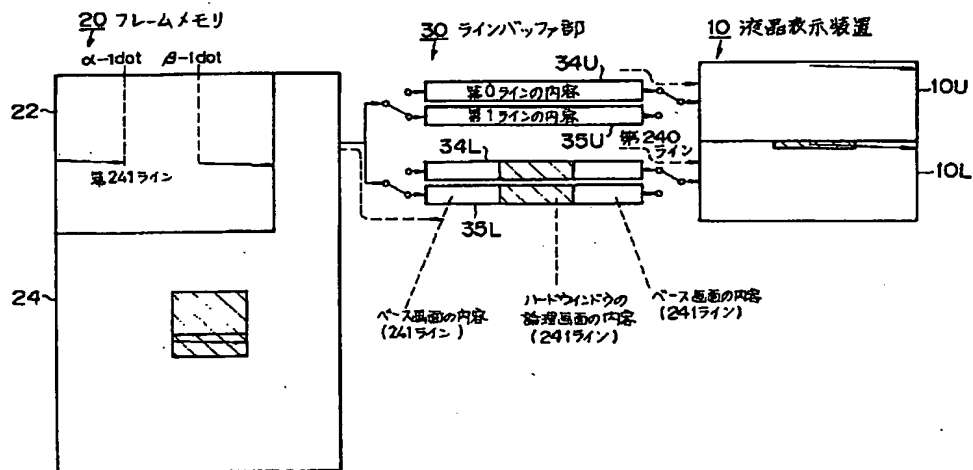
【図13】



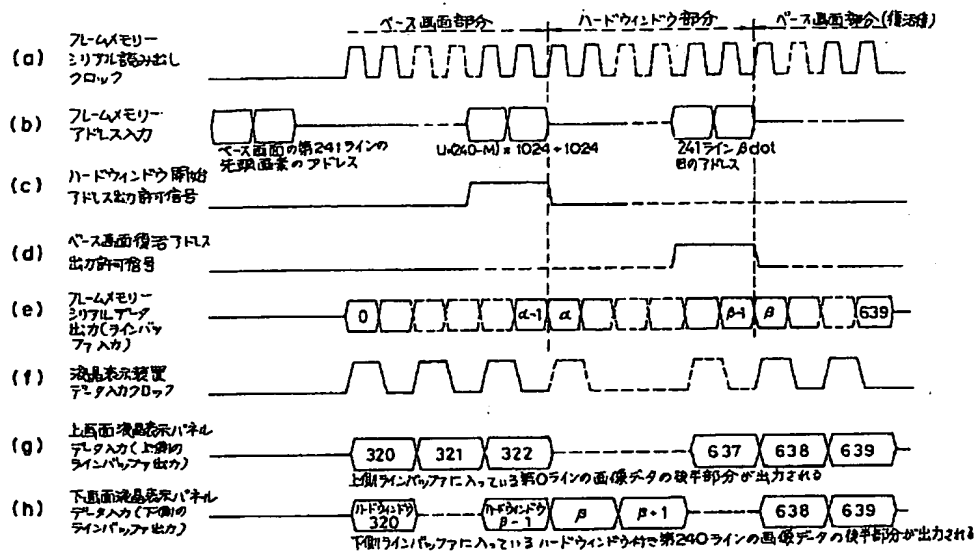
【図 1 4】



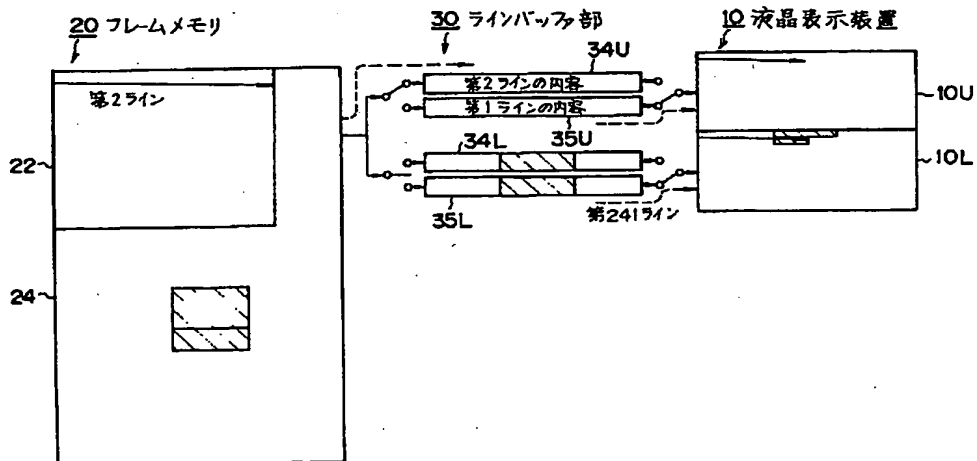
【図 1 5】



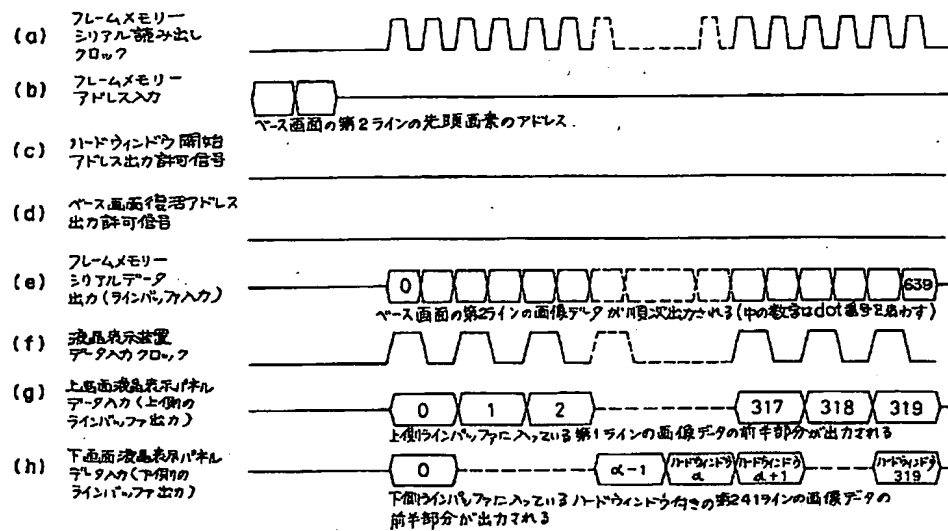
【図 16】



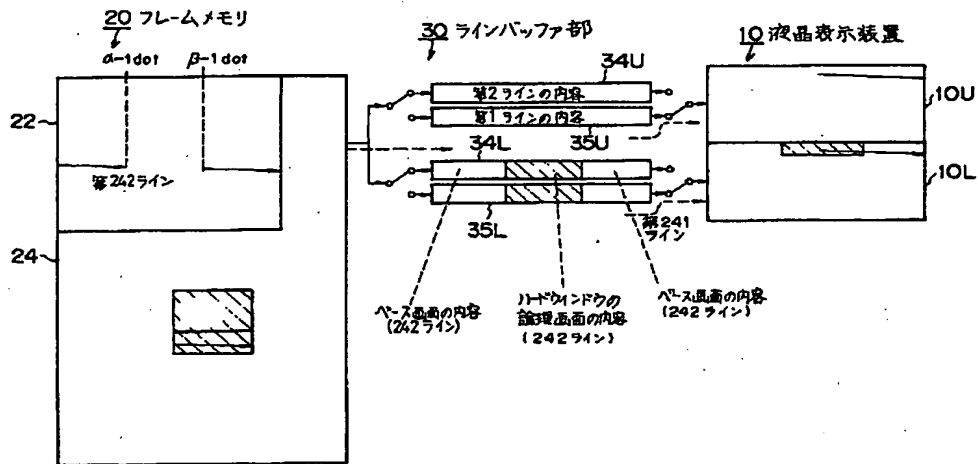
【図 17】



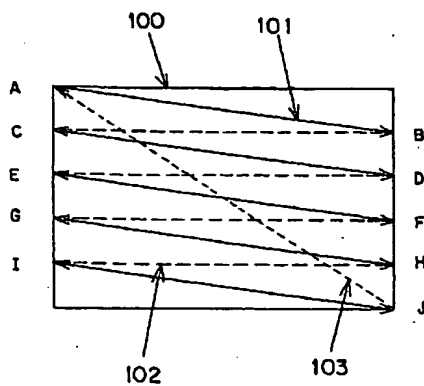
【図 18】



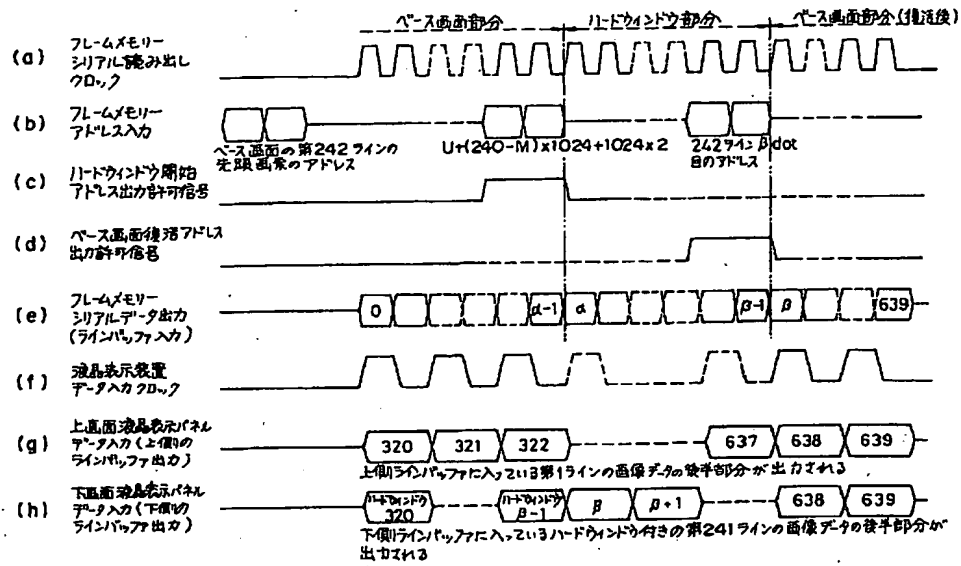
【図 19】



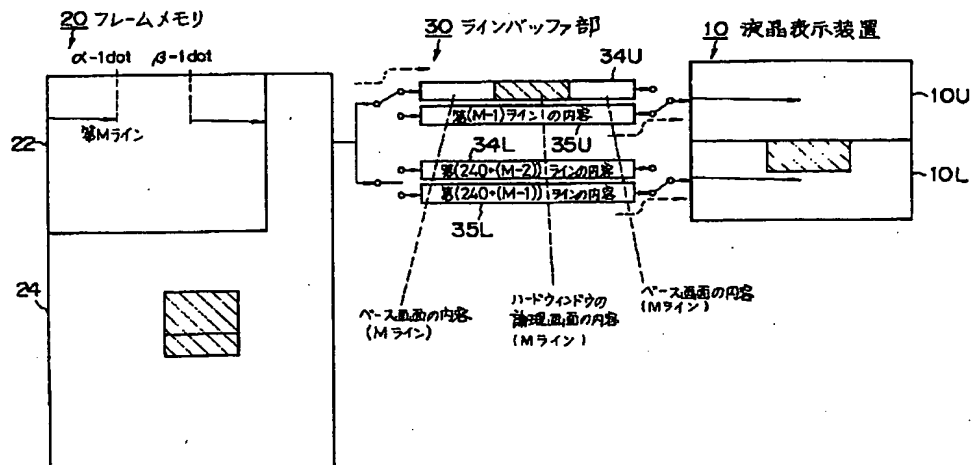
【図 37】



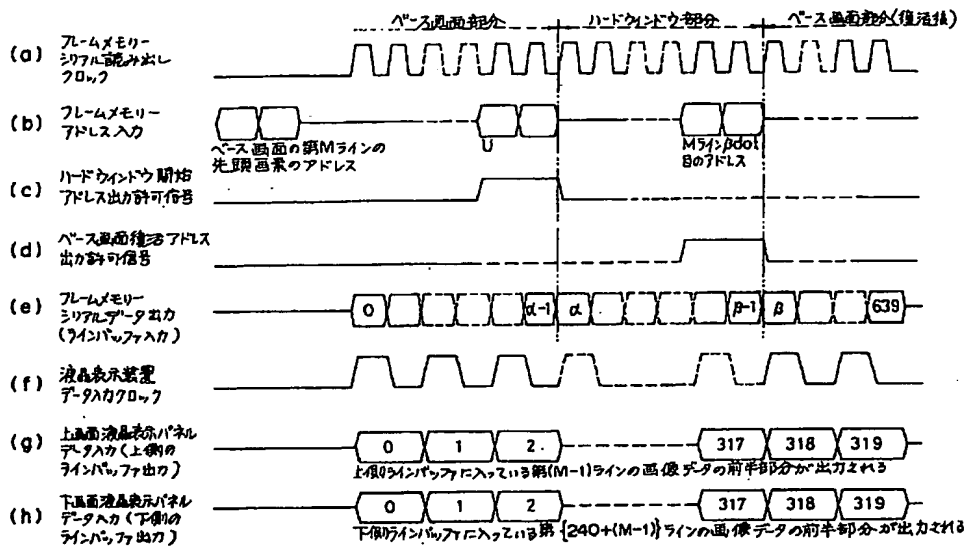
【図 20】



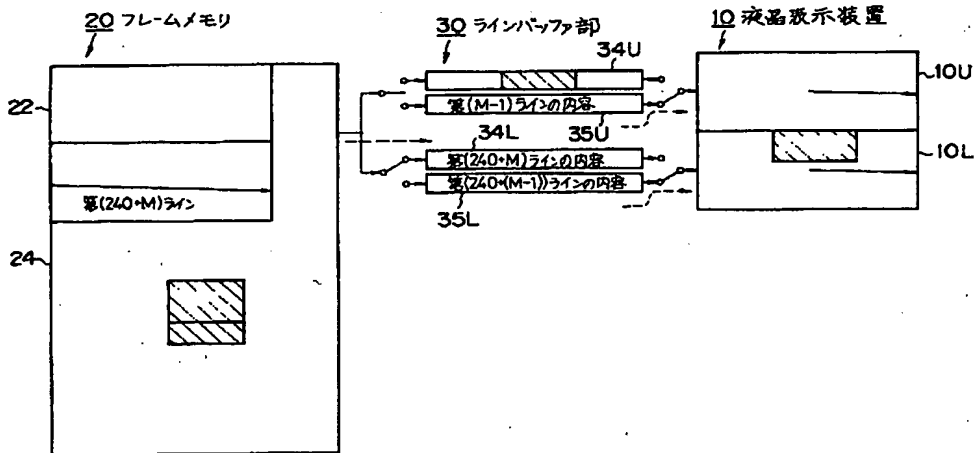
【図 21】



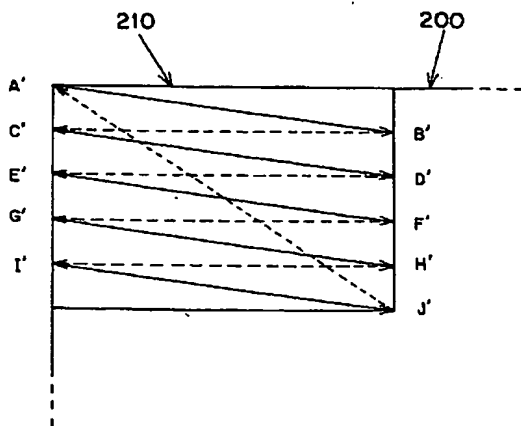
【図 2 2】



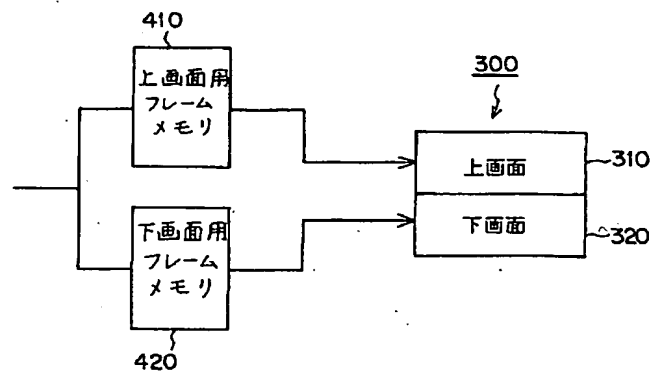
【図 2 3】



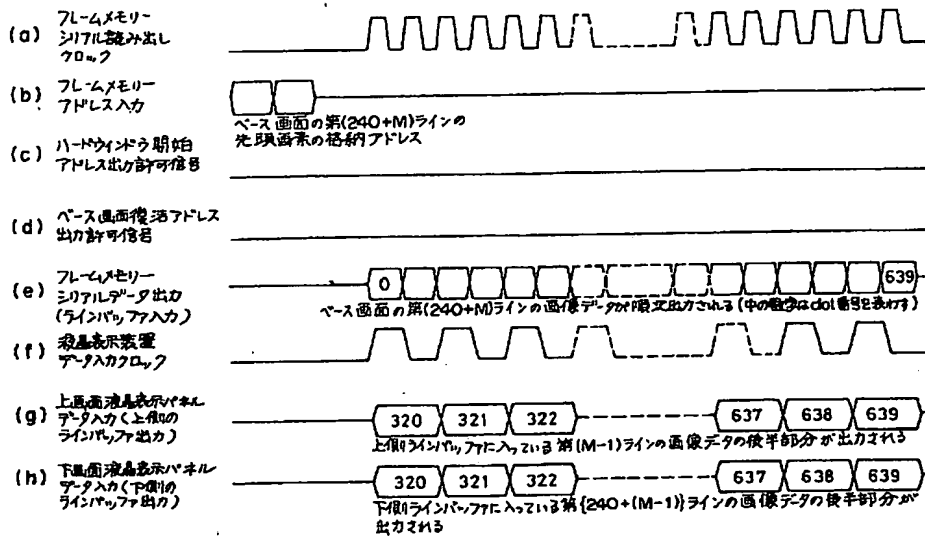
【図 3.8】



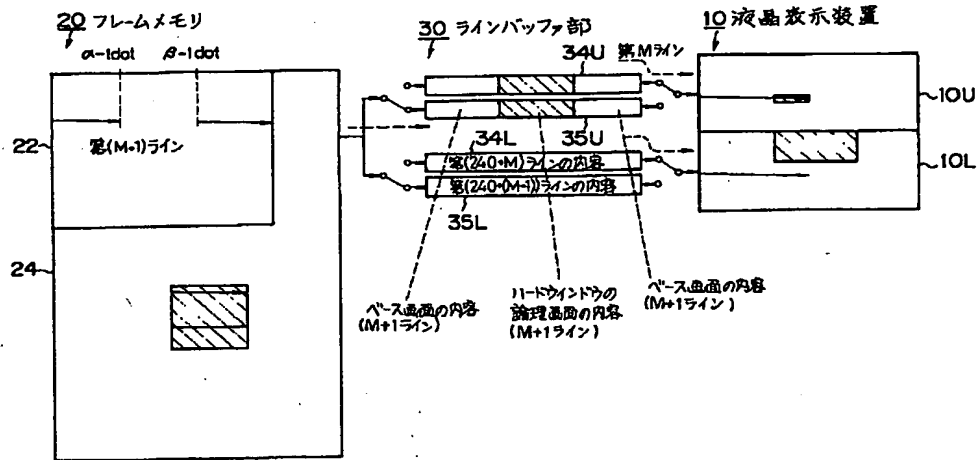
【図 4 3】



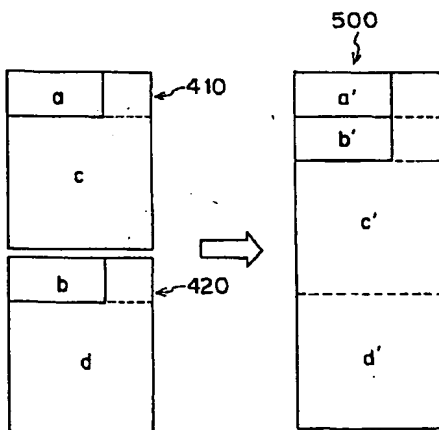
【図 24】



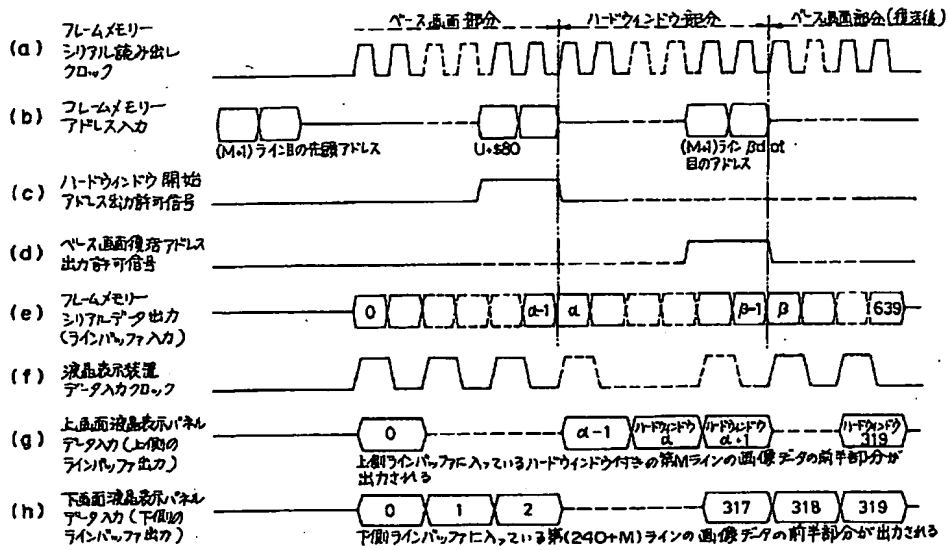
【図 25】



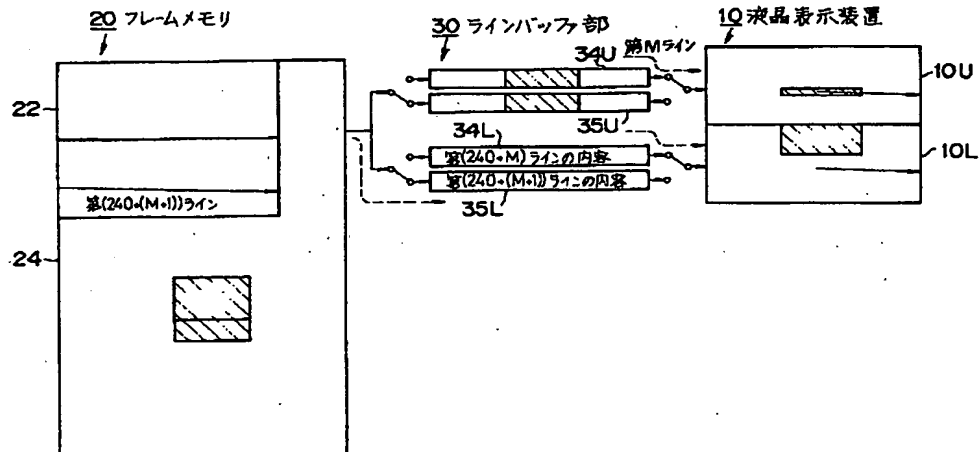
【図 44】



【図 26】



【図 27】



(a) フレームメモリー
シリアルデータ出力
クロック

(b) フレームメモリー
アドレス入力

(c) ハードウィンドウ開始
アドレス出力許可信号

(d) ベース画面有効アドレス
出力許可信号

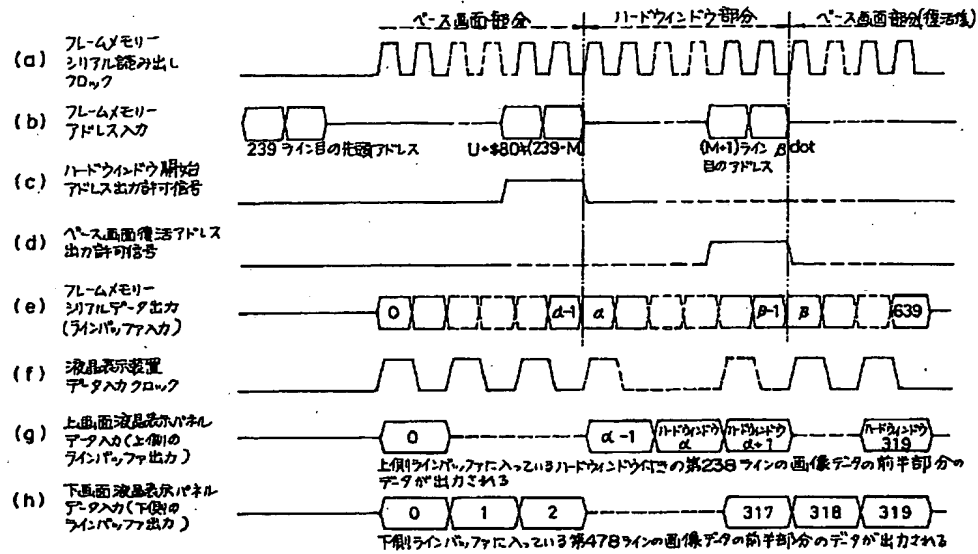
(e) フレームメモリー
シリアルデータ出力
(ラインバッファ入力)

(f) 液晶表示装置
データ入力クロック

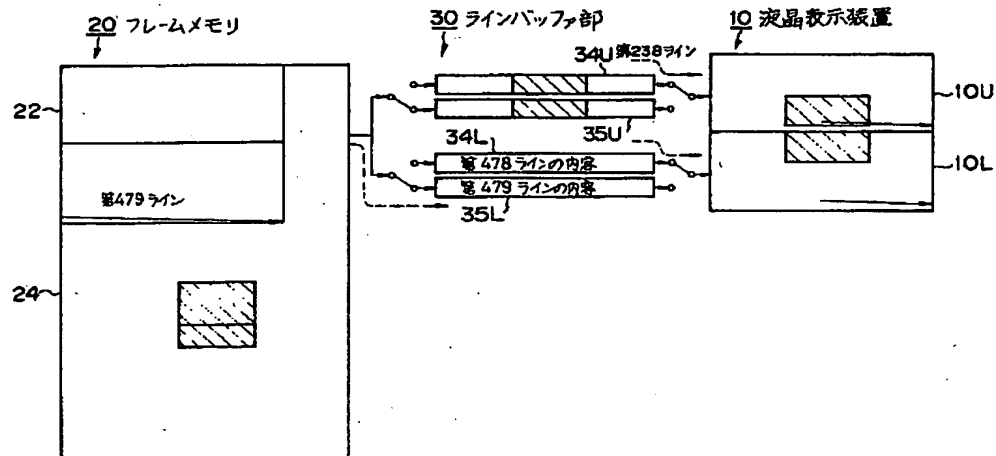
(g) 上画面液晶表示パネル
データ入力(上側の
ラインバッファ入力)

(h) 下画面液晶表示パネル
データ入力(下側の
ラインバッファ出力)

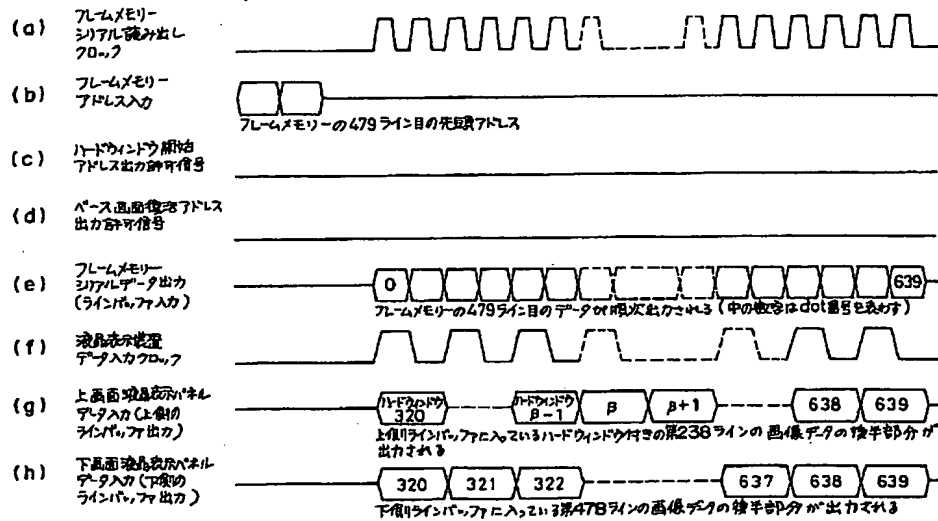
【図 30】



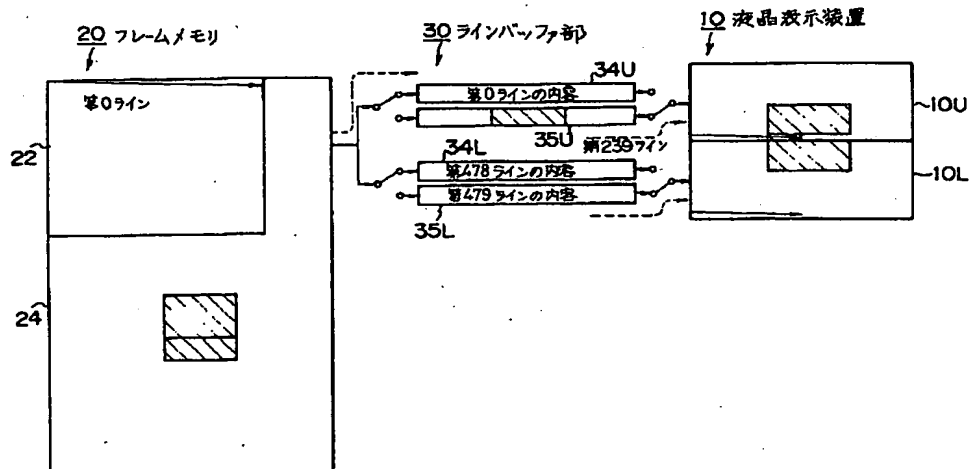
【図 31】



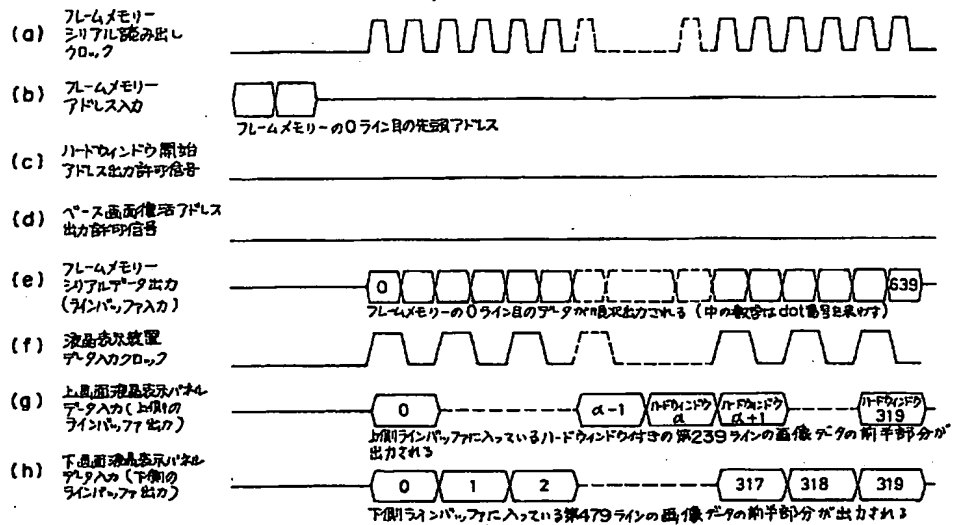
【図 3 2】



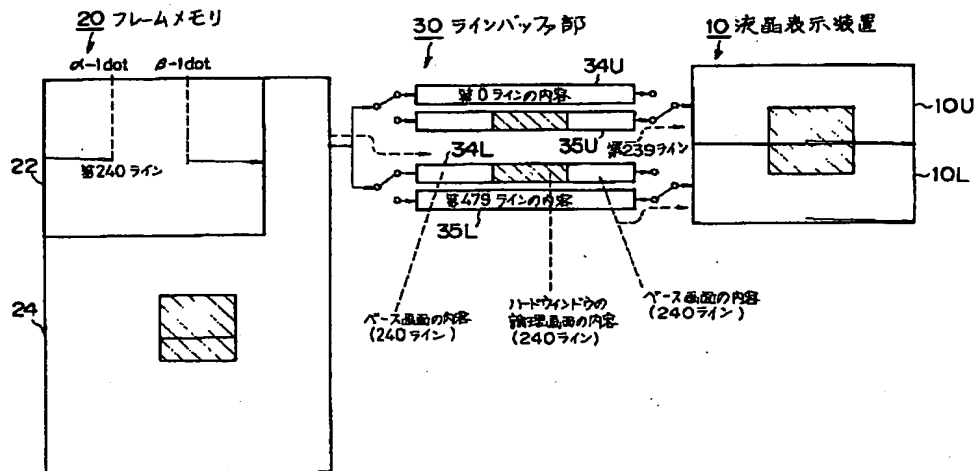
【図 3 3】



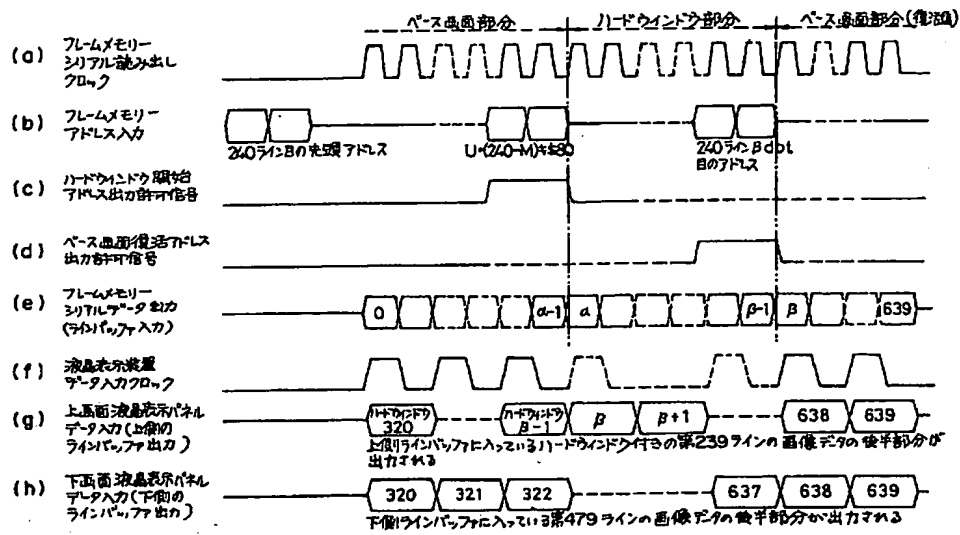
【図 3 4】



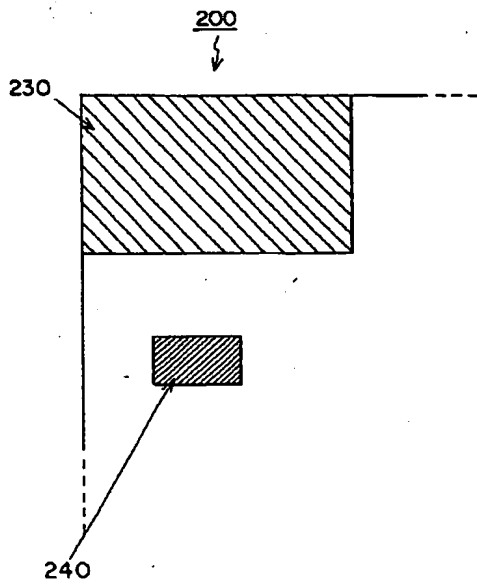
【図 3 5】



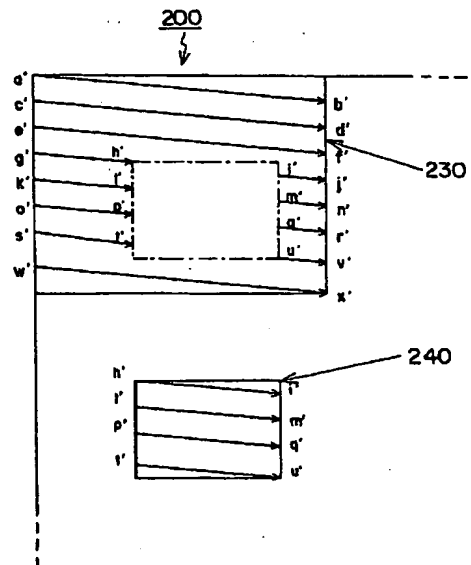
【図 3 6】



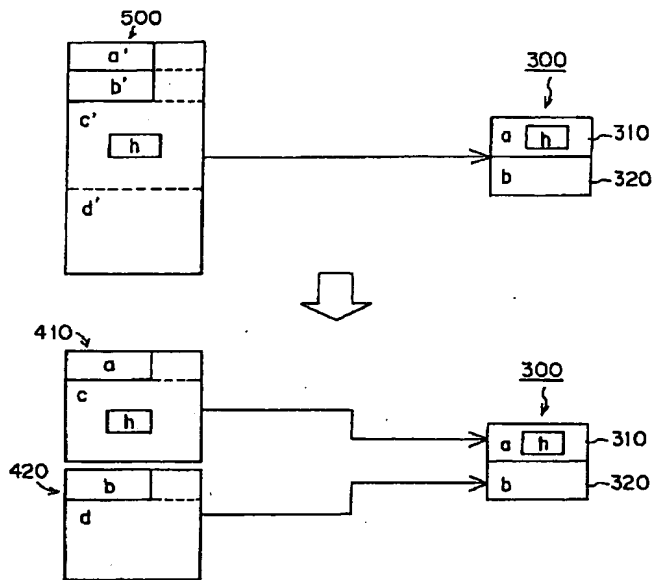
【図 4 0】



【図 4 2】



【図 4 5】



【図 4 6】

